

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 2001-346380

(43) Date of publication of application : 14.12.2001

(51) Int.Cl.

H02M 3/28

H02M 3/335

H02M 3/337

(21) Application number : 2000-165133

(71) Applicant : MATSUSHITA ELECTRIC IND
CO LTD

(22) Date of filing :

01.06.2000

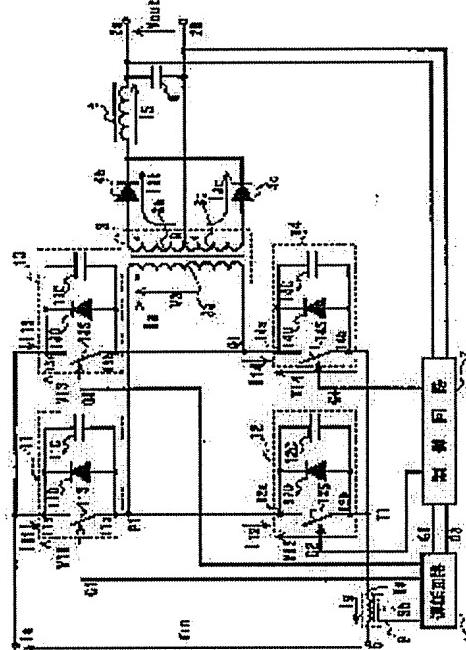
(72) Inventor : KURANUKI MASAAKI
YOSHIDA KOJI

(54) SWITCHING POWER SUPPLY

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a switching power supply which has realized control of generation of surge current and surge voltage, improvement of efficiency and reduction of noise by lowering switching loss due to zero-volt switching under the light load condition.

SOLUTION: In an insulation type DC-DC converter for full-wave rectification in the secondary side of a transformer, a delay circuit 8 delays, as much as the predetermined delay time, the switching signals G1 and G3 outputted from a switching control circuit 7 for a couple of switch means 11 and 13 which are alternately turns ON and OFF for inverting a current 13 flowing into the primary coil 3a of the transformer 3 when a load current detecting means 9 has detected that a load current is smaller than the predetermined threshold. Such a delay time is set substantially equal to the (1/4) period of resonance as a result of contribution of a self-inductance of the primary coil 3a of the transformer.



Cited Reference 3.

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-346380

(P2001-346380A)

(43) 公開日 平成13年12月14日 (2001. 12. 14)

(51) Int.Cl.⁷

H 02 M 3/28
3/335
3/337

識別記号

F I

H 02 M 3/28
3/335
3/337

テーマコード^{*} (参考)

Q 5 H 7 3 0
E
D

審査請求 有 請求項の数12 O.L (全 54 頁)

(21) 出願番号 特願2000-165133(P2000-165133)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(22) 出願日 平成12年6月1日(2000. 6. 1)

(72) 発明者 倉貫 正明

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 吉田 幸司

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100062926

弁理士 東島 隆治

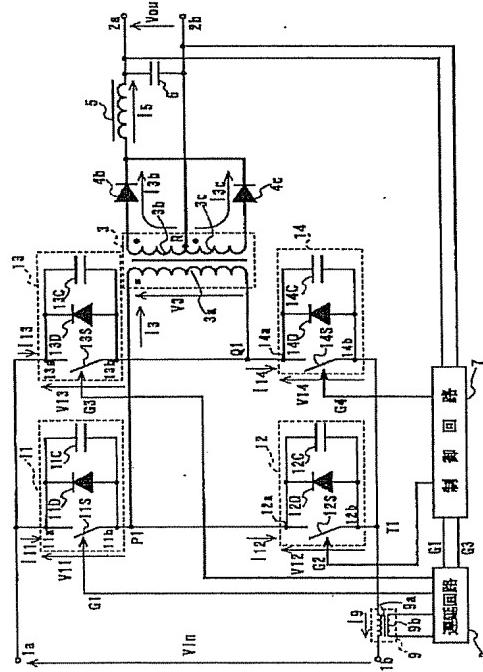
最終頁に続く

(54) 【発明の名称】 スイッチング電源装置

(57) 【要約】

【課題】 軽負荷時ゼロボルトスイッチングによりスイッチング損失を小さくし、サージ電流及びサージ電圧の発生を抑え、効率の向上とノイズの低下と共に実現したスイッチング電源装置を提供する。

【解決手段】 トランスの二次側で全波整流をする絶縁型DC-DCコンバータにおいて、遅延回路8が、交互にオンオフしてトランス3の一次巻線3aに流れる電流I3を反転させる二つのスイッチ部11及び13に対して、スイッチング制御回路7から出力されるスイッチング信号G1及びG3を、負荷電流量が所定の閾値より小さいことを負荷電流検出手段9が検出した時、所定の遅延時間だけ遅延させる。その遅延時間はトランス3の一次巻線3aの自己インダクタンスが寄与する共振の(1/4)周期に実質的に等しく設定される。



【特許請求の範囲】

【請求項1】 A) a) 外部からのスイッチング信号によりオンオフされるスイッチ素子と、前記スイッチ素子へ並列に接続されたダイオード及びコンデンサと、を含む第一のスイッチ部、第二のスイッチ部、第三のスイッチ部及び第四のスイッチ部、

b) 一次巻線と少なくとも一つの二次巻線とを含むトランス、

c) 前記トランスの出力を全波整流するための整流回路、及び、

d) 前記整流回路の出力を平滑にするための平滑回路、を有し、

前記第一のスイッチ部及び前記第三のスイッチ部が前記ダイオードのカソード側の端（カソード端）を実質的な直流定電圧源の高電位端子へ接続され、

前記第二のスイッチ部が、カソード端を前記第一のスイッチ部のアノード側の端（アノード端）へ、アノード端を前記直流定電圧源の低電位端子へそれぞれ接続され、前記第四のスイッチ部が、カソード端を前記第三のスイッチ部のアノード端へ、アノード端を前記直流定電圧源の前記低電位端子へそれぞれ接続され、及び、

前記トランスの前記一次巻線が、一端を前記第一のスイッチ部と前記第二のスイッチ部との接続点へ、他端を前記第三のスイッチ部と前記第四のスイッチ部との接続点へそれぞれ接続された、

D C - D C コンバータ；

B) 前記スイッチ素子へ前記スイッチング信号を所定のスイッチング周波数で出力するためのスイッチング制御手段；

C) 前記D C - D C コンバータから出力される負荷電流の量を検出するための負荷電流検出手段；並びに、

D) 前記負荷電流検出手段により検出された前記負荷電流の量に基づいて、前記スイッチング制御手段の前記スイッチング信号を所定の遅延時間だけ遅延させるための遅延手段；を具備するスイッチング電源装置。

【請求項2】 A) a) 外部からのスイッチング信号によりオンオフされるスイッチ素子と、前記スイッチ素子へ並列に接続されたダイオード及びコンデンサと、を含む第一のスイッチ部、第二のスイッチ部、第三のスイッチ部及び第四のスイッチ部、

b) 互いに直列に接続された第一の分圧用コンデンサ及び第二の分圧用コンデンサ、

c) 一次巻線と少なくとも一つの二次巻線とを含むトランス、

d) 前記トランスの出力を全波整流するための整流回路、及び、

e) 前記整流回路の出力を平滑にするための平滑回路、を有し、

前記第一の分圧用コンデンサが前記第二の分圧用コンデンサとの接続端とは逆側の端を実質的な直流定電圧源の

高電位端子へ接続され、

前記第二の分圧用コンデンサが前記第一の分圧用コンデンサとの接続端とは逆側の端を前記直流定電圧源の低電位端子へ接続され、

前記第一のスイッチ部がカソード端を前記直流定電圧源の前記高電位端子へ接続され、

前記第二のスイッチ部が、カソード端を前記第一のスイッチ部のアノード端へ、アノード端を前記直流定電圧源の前記低電位端子へそれぞれ接続され、

10 前記第三のスイッチ部及び第四のスイッチ部がアノード端同士又はカソード端同士を互いに接続され、その接続点とは逆側のそれぞれの端を前記トランスの前記一次巻線の端のそれぞれへ接続され、及び、

前記一次巻線が、一端を前記第一のスイッチ部と前記第二のスイッチ部との接続点へ、他端を前記第一の分圧用コンデンサと前記第二の分圧用コンデンサとの接続点へそれぞれ接続された

D C - D C コンバータ；

20 B) 前記スイッチ素子へ前記スイッチング信号を所定のスイッチング周波数で出力するためのスイッチング制御手段；

C) 前記D C - D C コンバータから出力される負荷電流の量を検出するための負荷電流検出手段；並びに、

D) 前記負荷電流検出手段により検出された前記負荷電流の量に基づいて、前記スイッチング制御手段の前記スイッチング信号を所定の遅延時間だけ遅延させるための遅延手段；を具備するスイッチング電源装置。

【請求項3】 A) a) 外部からのスイッチング信号によりオンオフされるスイッチ素子と、前記スイッチ素子へ並列に接続されたダイオード及びコンデンサと、を含む第一のスイッチ部、第二のスイッチ部、第三のスイッチ部及び第四のスイッチ部、

b) 互いに直列に接続された第一の分圧用コンデンサ及び第二の分圧用コンデンサ、

c) 一次巻線と、少なくとも一つの二次巻線と、補助巻線と、を含むトランス、

d) 前記トランスの出力を全波整流するための整流回路、及び、

e) 前記整流回路の出力を平滑にするための平滑回路、を有し、

40 前記第一の分圧用コンデンサが前記第二の分圧用コンデンサとの接続端とは逆側の端を実質的な直流定電圧源の高電位端子へ接続され、

前記第二の分圧用コンデンサが前記第一の分圧用コンデンサとの接続端とは逆側の端を前記直流定電圧源の低電位端子へ接続され、

前記第一のスイッチ部がカソード端を前記直流定電圧源の前記高電位端子へ接続され、

前記第二のスイッチ部が、カソード端を前記第一のスイッチ部のアノード端へ、アノード端を前記直流定電圧源

の前記低電位端子へそれぞれ接続され、
前記第三のスイッチ部及び第四のスイッチ部が、アノード端同士又はカソード端同士を互いに接続され、互いの接続点を前記直流定電圧源の前記低電位端子へ接続され、かつ、それぞれの前記互いの接続点とは逆側の端を前記補助巻線のそれぞれの端へ接続され、及び、
前記一次巻線が、一端を前記第一のスイッチ部と前記第二のスイッチ部との接続点へ、他端を前記第一の分圧用コンデンサと前記第二の分圧用コンデンサとの接続点へそれぞれ接続された

D C-D C コンバータ；

B) 前記スイッチ素子へ前記スイッチング信号を所定のスイッチング周波数で出力するためのスイッチング制御手段；

C) 前記D C-D C コンバータから出力される負荷電流の量を検出するための負荷電流検出手段；並びに、

D) 前記負荷電流検出手段により検出された前記負荷電流の量に基づいて、前記スイッチング制御手段の前記スイッチング信号を所定の遅延時間だけ遅延させるための遅延手段；を具備するスイッチング電源装置。

【請求項4】 前記遅延時間が、前記トランスの前記一次巻線の自己インダクタンスで決まる共振周期の実質上1/4である、請求項1から請求項3までのいずれか一項に記載のスイッチング電源装置。

【請求項5】 A) a) 外部からのスイッチング信号によりオンオフされるスイッチ素子と、前記スイッチ素子へ並列に接続されたダイオード及びコンデンサと、を含む第一のスイッチ部、第二のスイッチ部、第三のスイッチ部及び第四のスイッチ部、

b) 互いに直列に接続された第一の一次巻線及び第二の一次巻線と、少なくとも一つの二次巻線と、を含むトランス、

c) 前記トランスの出力を全波整流するための整流回路、及び、

d) 前記整流回路の出力を平滑にするための平滑回路、を有し、

前記第一の一次巻線及び第二の一次巻線が、互いの接続点を実質的な直流定電圧源の第一電位端子へ接続され、前記第一のスイッチ部が、一端を前記直流定電圧源の第二電位端子へ、他端を前記第一の一次巻線の前記第二の一次巻線との接続端とは逆側の端へ接続され、

前記第二のスイッチ部が、前記第一のスイッチ部が前記直流定電圧源の前記第二電位へ接続している端と同じ側の端を前記直流定電圧源の前記第二電位端子へ、それとは逆側の端を前記第二の一次巻線の前記第一の一次巻線との接続端とは逆側の端へ接続され、

前記第三のスイッチ部及び第四のスイッチ部がアノード端同士又はカソード端同士を互いに接続され、

前記第三のスイッチ部が前記第四のスイッチ部との接続端とは逆側の端を、前記第一の一次巻線と前記第一のス

イッチ部との間へ接続され、及び、

前記第四のスイッチ部が前記第三のスイッチ部との接続端とは逆側の端を、前記第二の一次巻線と前記第二のスイッチ部との間へ接続された

D C-D C コンバータ；

B) 前記スイッチ素子へ前記スイッチング信号を所定のスイッチング周波数で出力するためのスイッチング制御手段；

C) 前記D C-D C コンバータから出力される負荷電流の量を検出するための負荷電流検出手段；並びに、

D) 前記負荷電流検出手段により検出された前記負荷電流の量に基づいて、前記スイッチング制御手段の前記スイッチング信号を所定の遅延時間だけ遅延させるための遅延手段；を具備するスイッチング電源装置。

【請求項6】 A) a) 外部からのスイッチング信号によりオンオフされるスイッチ素子と、前記スイッチ素子へ並列に接続されたダイオード及びコンデンサと、を含む第一のスイッチ部、第二のスイッチ部、第三のスイッチ部及び第四のスイッチ部、

b) 互いに直列に接続された第一の一次巻線及び第二の一次巻線と、少なくとも一つの二次巻線と、補助巻線と、を含むトランス、

c) 前記トランスの出力を全波整流するための整流回路、及び、

d) 前記整流回路の出力を平滑にするための平滑回路、を有し、

前記第一の一次巻線及び第二の一次巻線が、互いの接続点を実質的な直流定電圧源の第一電位端子へ接続され、前記第一のスイッチ部が、一端を前記直流定電圧源の第

30 二電位端子へ、他端を前記第一の一次巻線の前記第二の一次巻線との接続端とは逆側の端へ接続され、

前記第二のスイッチ部が、前記第一のスイッチ部が前記直流定電圧源の前記第二電位へ接続している端と同じ側の端を前記直流定電圧源の前記第二電位端子へ、それとは逆側の端を前記第二の一次巻線の前記第一の一次巻線との接続端とは逆側の端へ接続され、

前記第三のスイッチ部及び第四のスイッチ部が、アノード端同士又はカソード端同士を互いに接続され、その接続点を前記直流定電圧源の前記第二電位端子へ接続され、かつ、それぞれのカソード端又はカソード端を前記補助巻線のそれぞれの端へ接続された

D C-D C コンバータ；

B) 前記スイッチ素子へ前記スイッチング信号を所定のスイッチング周波数で出力するためのスイッチング制御手段；

C) 前記D C-D C コンバータから出力される負荷電流の量を検出するための負荷電流検出手段；並びに、

D) 前記負荷電流検出手段により検出された前記負荷電流の量に基づいて、前記スイッチング制御手段の前記スイッチング信号を所定の遅延時間だけ遅延させるための

遅延手段；を具備するスイッチング電源装置。

【請求項7】 前記遅延時間が、前記第一の一次巻線及び前記第二の一次巻線のそれぞれの自己インダクタンスで決まる共振周期の実質上 $1/4$ である、請求項5又は請求項6記載のスイッチング電源装置。

【請求項8】 前記遅延手段の遅延が、前記負荷電流検出手段により検出された前記負荷電流の量が所定の閾値より実質的に低下した場合、前記スイッチ素子をオンさせるための前記スイッチング信号に対して行われる、請求項1から7までのいずれか一項に記載のスイッチング電源装置。

【請求項9】 前記負荷電流検出手段が前記スイッチ部の少なくとも一つを流れる電流から前記負荷電流の量を検出する、請求項1から請求項8までのいずれか一項に記載のスイッチング電源装置。

【請求項10】 前記負荷電流検出手段が前記一次巻線を流れる電流から前記負荷電流の量を検出する、請求項1から請求項8までのいずれか一項に記載のスイッチング電源装置。

【請求項11】 前記負荷電流検出手段が前記DC-D Cコンバータの入力電流から前記負荷電流の量を検出する、請求項1から請求項8までのいずれか一項に記載のスイッチング電源装置。

【請求項12】 前記負荷電流検出手段が前記DC-D Cコンバータの出力電流から前記負荷電流の量を検出する、請求項1から請求項8までのいずれか一項に記載のスイッチング電源装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、産業用又は民生用の電子機器において直流安定化電圧を供給するためのDC-DCコンバータを含むスイッチング電源装置に関する。特に、ゼロボルトスイッチング(ZVS)等のソフトスイッチングを行うためのソフトスイッチング電源装置に関する。

【0002】

【従来の技術】スイッチング電源装置は入力された直流電圧を直流の定電圧として出力するためのものであり、テレビ、VTR、パーソナルコンピュータ等の電子機器において使用される。スイッチング電源装置は、MOSFET、IGBT、サイリスタ等の半導体素子をスイッチとして用い、スイッチのオン・オフの時比率で入力電圧と出力電圧との比を設定できる。従って、スイッチング電源装置はスイッチのオン・オフを制御して所定の直流電圧を安定に出力できる。スイッチのオン・オフによる電力損失(スイッチング損失)は一般に小さいので、スイッチング電源装置は省エネルギーを目的としてよく用いられる。スイッチング電源装置に含まれるトランジistor、インダクタ、コンデンサ等のリアクタンス素子は、スイッチのオン・オフを切り替える周波数(スイッチング周

波数)が高い程、小型化及び軽量化できる。一方、スイッチング電源の入力電圧と出力電圧との比は、実質上スイッチのオン・オフの時比率だけで決まる。それ故、スイッチング電源装置は一定の出力電圧を維持しつつ、比較的容易に小型・軽量化できる。

【0003】近年、様々な電子機器に対する省エネルギー及び小型・軽量化への要求が著しく高まっている。スイッチング電源装置に対しても、より高い効率を有し、より小型・軽量であり、かつ、より安定な出力を有するものが強く求められている。そのような要求に合わせるために、スイッチング周波数を更に高くしなければならない。しかし、スイッチング周波数が高い程スイッチング損失は大きい。更に、スイッチング損失として散逸された電力の一部はサージ電流及びサージ電圧を発生させてノイズとなり、周辺の電子機器に悪影響を及ぼす。

【0004】従って、スイッチング周波数を更に高くするにはスイッチング損失を小さく抑えるためのスイッチング技術が必要となる。そのような技術として知られているのがソフトスイッチングである。ここで、ソフトスイッチングとは、オンからオフ又はオフからオンへの過渡的状態にあるスイッチに共振電圧又は共振電流を印加して、その電圧又は電流のいずれかがゼロの時スイッチがオンからオフ又はオフからオンへと切り替わるようなスイッチングをいう。特に、スイッチに印加される電圧がゼロの時に使うスイッチングをゼロボルトスイッチング(ZVS)といい、スイッチに印加される電流がゼロの時に使うスイッチングをゼロカレントスイッチング(ZCS)という。ソフトスイッチングによると、オン・オフが切り替わる間そのスイッチには電力が印加されない。従って、原理的には電力のスイッチング損失がない。特に、ZVSによると、スイッチがオンする時そのスイッチに寄生するコンデンサに電荷が残っていない。それ故、サージ電流が発生しない。

【0005】トランスを用いて電源側と出力側とを直列に絶縁している、いわゆる絶縁型スイッチング電源装置において、トランスに蓄えられたエネルギーを利用してゼロボルトスイッチングを行う回路として、従来、特開平11-89232に示されたようなものが知られている。図15は従来例のスイッチング電源装置を構成する回路を示す。従来例はフルブリッジ型コンバータであり、トランス3の二次側では全波整流が行われる。図16は、図15に矢印で示されている、従来例の回路の各部分における電流又は電圧のパルス波形を示す。

【0006】図15に示されているように、スイッチング信号G1、G2、G3及びG4はスイッチング制御回路7から四つのスイッチ素子11S、12S、13S及び14Sへそれぞれ出力される。図16に示されているように、スイッチング信号G1、G2、G3及びG4は所定の幅を持つ矩形波である。スイッチング信号G1、G2、G3及びG4が高電位(H)を示す間スイッチ素子11S、12S、13S及び14Sはオンし、スイッチ

グ信号G1、G2、G3及びG4が低電位(L)を示す間スイッチ素子11S、12S、13S及び14Sはオフする。

【0007】図16に示されているように、時刻T1にスイッチング信号G1がHからLへと変化して第一スイッチ素子11Sがオフする。すると、一次巻線3aの漏れインダクタンスと、第一スイッチ部11の第一コンデンサ11C及び第二スイッチ部12の第二コンデンサ12Cと、が共振する。すなわち、一次巻線3aを流れる電流I3が第一コンデンサ11Cを充電すると同時に、第二コンデンサ12Cを放電される。これにより、第一スイッチ素子11Sの両端の電圧V11が0から増加すると共に、第二スイッチ素子12Sの両端の電圧V12が最大値Vinから減少する。第一スイッチ素子11Sの両端の電圧V11が最大値Vinへ達すると同時に、第二スイッチ素子12Sの両端の電圧V12が0に達する。すると、第二スイッチ素子12Sに並列に接続された第二ダイオード12Dがオンする。その直後の時刻T2にスイッチング制御回路7がスイッチング信号G2をLからHへと変化させて第二スイッチ素子12Sをオンする。このようにして、第二スイッチ素子12Sのオンに対してZVSが行われる。

【0008】同様に、第二スイッチ素子12Sがオフする時刻T7から第一スイッチ素子11Sがオンする時刻T8までの間、一次巻線3aの漏れインダクタンスと、第一コンデンサ11C及び第二コンデンサ12Cと、が共振する。第一スイッチ素子11Sの両端の電圧V11が0に達した後第一スイッチ素子11Sがオンする。こうして、第一スイッチ素子11Sのオンに対してZVSが行われる。時刻T4での第三スイッチ素子13Sのオン、及び、時刻T6での第四スイッチ素子14Sのオン、それぞれに対しても同様に、一次巻線3aの漏れインダクタンスと、第三コンデンサ13C及び第四コンデンサ14Cとの共振によりZVSが行われる。

【0009】ZVSを採用したスイッチング電源装置には、上記の従来例のようにフルブリッジ型コンバータだけではなく、特開平9-163740で開示されているように、ハーフブリッジ型、ブッシュプル型、及び、それらと補助巻線とを組み合わせたものもある。これらはいずれもトランスの一次巻線の漏れインダクタンスとスイッチの寄生コンデンサとを共振させてZVSを実現している。

【0010】尚、特開平9-163740で開示されているスイッチング電源装置では、双方向スイッチング手段(直列に接続された二つのスイッチ素子であって、それぞれが並列に接続されたダイオードを有し、互いのダイオードのアノード側同士又はカソード側同士を接続しているもの)がトランスの一次巻線又は補助巻線に並列に設けられている。双方向スイッチング手段はいわゆるスイッチングスナバ(アクティブクランプともいう)として動作し、トランスと入力電源とを導通させるためのスイッチをオン又はオフした時に発生するサージ電流又はサージ電圧を吸収する。それ故、サージ電流又はサージ電圧が他の周辺回路にノイズとして悪影響を及ぼさない。

【0011】

【発明が解決しようとする課題】最近は、パソコンコンピュータ又はファクシミリ等のように駆動されていないでも電源を切れない機器、及び、テレビ又はビデオテープレコーダ等のように電源を入れたまま長時間待機するように使用される機器が増えている。このような電子機器の消費電力の大半は待機時のものである。従って、従来より更にスイッチング電源装置の省エネルギーを進めるためには、待機時消費電力の削減が重要である。駆動時に比べ待機時では、スイッチング電源装置から負荷へと出力される電流(負荷電流)が著しく少なく、一般に駆動時の1/5～1/10以下である。以下、本明細書では、通常の駆動時のように負荷電流が比較的大きい時を重負荷時といい、待機時のように負荷電流が比較的小さい時を軽負荷時という。

【0012】従来のスイッチング電源装置は、軽負荷時において以下の問題点を有していた。上記した従来例のZVSは重負荷時を前提としている。上記のように重負荷時ではZVSによりスイッチング損失が小さい。しかし、軽負荷時では以下の説明のように、第一スイッチ素子11S及び第三スイッチ素子13Sそれぞれのオンに対してZVSが実現できないので、スイッチング損失が増大する。

【0013】図16において、時刻T3で第四スイッチ素子14Sがオフすると、一次巻線3aの電流I3が第三コンデンサ13Cを放電させ始める。重負荷時では負荷電流が十分大きいのでその一次側換算電流が大きく、従って、電流I3も十分大きい。その結果、入力電圧Vinに抗して第三コンデンサ13Cに蓄えられた電荷を全て移動させて、第三スイッチ素子13Sの両端の電圧V13を0にできる。

【0014】それに対して、軽負荷時では負荷電流が小さいので電流I3が小さくなり、その結果、一次巻線3aの漏れインダクタンスと、第三コンデンサ13C及び第四コンデンサ14Cとの共振では第三コンデンサ13Cの全電荷を移動させ得ない。この場合、重負荷時と同じ時刻T4に第三スイッチ素子13Sをオンすると、第三スイッチ素子13Sの両端の電圧V13が0より大きいので、スイッチング損失が大きくなる。特に、第三コンデンサ13Cに残った電荷等が第三スイッチ素子13Sのオンと同時に急激に移動してサージ電流を生じる。時刻T7～T8で第一スイッチ素子11Sをオンする場合においても、第三スイッチ素子13Sをオンする場合と同様に、軽負荷時にZVSが実現できない。それ故、スイッチング損失が増し、サージ電流が生じる。

【0015】本発明は、軽負荷時においてZVSによりスイッチング損失を小さくし、サージ電流及びサージ電圧の発生を抑え、効率の向上とノイズの低下と共に実現したスイッチング電源装置の提供を目的とする。

【0016】

【課題を解決するための手段】いわゆるフルブリッジ型

のスイッチング電源装置において上記の問題点を解決するために、本発明のスイッチング電源装置は、

A) a) 外部からのスイッチング信号によりオンオフされるスイッチ素子と、前記スイッチ素子へ並列に接続されたダイオード及びコンデンサと、を含む第一のスイッチ部、第二のスイッチ部、第三のスイッチ部及び第四のスイッチ部、

b) 一次巻線と少なくとも一つの二次巻線とを含むトランス、

c) 前記トランスの出力を全波整流するための整流回路、及び、

d) 前記整流回路の出力を平滑にするための平滑回路、を有し、前記第一のスイッチ部及び前記第三のスイッチ部が前記ダイオードのカソード側の端（カソード端）を実質的な直流定電圧源の高電位端子へ接続され、前記第二のスイッチ部が、カソード端を前記第一のスイッチ部のアノード側の端（アノード端）へ、アノード端を前記直流定電圧源の低電位端子へそれぞれ接続され、前記第四のスイッチ部が、カソード端を前記第三のスイッチ部のアノード端へ、アノード端を前記直流定電圧源の前記低電位端子へそれぞれ接続され、及び、前記トランスの前記一次巻線が、一端を前記第一のスイッチ部と前記第二のスイッチ部との接続点へ、他端を前記第三のスイッチ部と前記第四のスイッチ部との接続点へそれぞれ接続された、

DC-DCコンバータ；

B) 前記スイッチ素子へ前記スイッチング信号を所定のスイッチング周波数で出力するためのスイッチング制御手段；

C) 前記DC-DCコンバータから出力される負荷電流の量を検出するための負荷電流検出手段；並びに、

D) 前記負荷電流検出手段により検出された前記負荷電流の量に基づいて、前記スイッチング制御手段の前記スイッチング信号を所定の遅延時間だけ遅延させるための遅延手段；を具備する。

【0017】フルブリッジ型のDC-DCコンバータでは、第二のスイッチ部のオフ後第一のスイッチ部をオンする場合、及び、第四のスイッチ部のオフ後第三のスイッチ部をオンする場合、軽負荷時におけるZVSが問題となる。しかし、上記のような本発明のフルブリッジ型のスイッチング電源装置は、次のようにして、軽負荷時第一のスイッチ部及び第三のスイッチ部のオンに対してZVSを実現できる。

【0018】第二のスイッチ部がオフした後第一のスイッチ部がオンするまでの間、又は、第四のスイッチ部がオフした後第三のスイッチ部がオンするまでの間のそれぞれに対応するデッドタイムに、トランスの一次側では一次巻線とスイッチ部のコンデンサとが共振する。それにより、上記のデッドタイムでは、一次巻線を流れる電流が滑らかに減少する。

【0019】一方、トランスの二次側では全波整流が行われるので、一次巻線を流れる電流が減少していくと、いざれはトランスの二次側で実質的な転流が生じる。ここで、二次側での実質的な転流とは、整流回路がセンタータップ型（トランスが直列に接続された二本の二次巻線を含み、それぞれの二次巻線の接続点とは逆側の端が二つの整流用ダイオード等へそれぞれ接続されているもの）の場合、電流が両二次巻線を流れている状態から片方にだけ流れようになることをいう。又は、整流回路がブリッジ型（トランスが二次巻線を一本だけ含み、その両端が四つの整流用ダイオード等から成るブリッジに接続されたもの）の場合、オンしていた四つの整流用ダイオードの内二つがオフすることをいう。但し上記の整流回路は、整流用ダイオードをスイッチ素子に置き換えてそのスイッチングを制御することにより、アクティブに全波整流を行うものでも良い。

【0020】軽負荷時では重負荷時に比べて一次巻線を流れる電流が小さいので、重負荷時と同じ長さのデッドタイムではZVSが実現できない。しかし、軽負荷時でデッドタイムを重負荷時より長くすると、一次巻線を流れる電流が向きを反転させる前に、トランスの二次側で実質的な転流が生じる。すると、上記の共振に寄与する一次巻線のインダクタンスが漏れインダクタンスだから実質的に自己インダクタンス全体へ変化する。それにより、一次巻線を流れる電流の減少の程度がそれ以前に比べかなり緩やかになる。従って、軽負荷時ではデッドタイムを十分に長く採れば、重負荷時より長い時間コンデンサを放電させ続け得る。

【0021】そこで、本発明では、負荷電流検出手段が検出した負荷電流の量から軽負荷時の状態であることが検知された場合、スイッチング制御手段がスイッチ部をオンさせるタイミングを、遅延手段が重負荷時のタイミングより所定の遅延時間だけ遅らせる。又は、負荷電流検出手段が検出した負荷電流の量から重負荷時の状態であることが検知された場合、スイッチング制御手段がスイッチ部をオフさせるタイミングを、遅延手段が軽負荷時のタイミングより所定の遅延時間だけ遅らせる。それ以外のオンオフのタイミングは所定のスイッチング周波数で決まるもののままであるので、上記のいざれによても、軽負荷時のデッドタイムが重負荷時より長くできる。これにより、軽負荷時でもデッドタイムの間にオフ状態の第一のスイッチ部又は第三のスイッチ部の両端間の電圧が0になり、重負荷時同様にZVSが達成できる。

【0022】いわゆるハーフブリッジ型のスイッチング電源装置において上記の問題点を解決するために、本発明のスイッチング電源装置は、

A) a) 外部からのスイッチング信号によりオンオフされるスイッチ素子と、前記スイッチ素子へ並列に接続されたダイオード及びコンデンサと、を含む第一のスイッ

チ部、第二のスイッチ部、第三のスイッチ部及び第四のスイッチ部、
 b) 互いに直列に接続された第一の分圧用コンデンサ及び第二の分圧用コンデンサ、
 c) 一次巻線と少なくとも一つの二次巻線とを含むトランス、
 d) 前記トランスの出力を全波整流するための整流回路、及び、
 e) 前記整流回路の出力を平滑にするための平滑回路、を有し、前記第一の分圧用コンデンサが前記第二の分圧用コンデンサとの接続端とは逆側の端を実質的な直流定電圧源の高電位端子へ接続され、前記第二の分圧用コンデンサが前記第一の分圧用コンデンサとの接続端とは逆側の端を前記直流定電圧源の低電位端子へ接続され、前記第一のスイッチ部がカソード端を前記直流定電圧源の前記高電位端子へ接続され、前記第二のスイッチ部が、カソード端を前記第一のスイッチ部のアノード端へ、アノード端を前記直流定電圧源の前記低電位端子へそれぞれ接続され、前記第三のスイッチ部及び第四のスイッチ部がアノード端同士又はカソード端同士を互いに接続され、その接続点とは逆側のそれぞれの端を前記トランスの前記一次巻線の端のそれぞれへ接続され、及び、前記一次巻線が、一端を前記第一のスイッチ部と前記第二のスイッチ部との接続点へ、他端を前記第一の分圧用コンデンサと前記第二の分圧用コンデンサとの接続点へそれぞれ接続された

DC-D Cコンバータ；

- B) 前記スイッチ素子へ前記スイッチング信号を所定のスイッチング周波数で出力するためのスイッチング制御手段；
 C) 前記DC-D Cコンバータから出力される負荷電流の量を検出するための負荷電流検出手段；並びに、
 D) 前記負荷電流検出手段により検出された前記負荷電流の量に基づいて、前記スイッチング制御手段の前記スイッチング信号を所定の遅延時間だけ遅延させるための遅延手段；を具備する。

【0023】ハーフブリッジ型のDC-D Cコンバータでは、直流定電圧源に直接接続される第一のスイッチ部及び第二のスイッチ部をそれぞれオンする場合、軽負荷時におけるZVSが問題となる。しかし、上記のような本発明のハーフブリッジ型のスイッチング電源装置では、上記のフルブリッジ型の場合と同様にして、軽負荷時のデッドタイムが重負荷時より長くできる。ここでデッドタイムは、特に、第四のスイッチ部がオフした後第一のスイッチ部がオンするまで第一のスイッチ部及び第四のスイッチ部が共にオフしている間、又は、第三のスイッチ部がオフした後第二のスイッチ部がオンするまで第二のスイッチ部及び第三のスイッチ部が共にオフしている間、にそれぞれ対応するものをいう。上記のデッドタイムが軽負荷時では重負荷時よりも長くできるので、

本発明では軽負荷時に重負荷時より長い時間コンデンサを放電させ続け得る。従って、一次巻線の電流が小さい軽負荷時でもデッドタイムの間にオンするべきスイッチ部の両端間の電圧が0になり、重負荷時同様にZVSが達成できる。

【0024】上記のハーフブリッジ型のスイッチング電源装置とは別のハーフブリッジ型のものとして、本発明のスイッチング電源装置は、

- A) a) 外部からのスイッチング信号によりオンオフされるスイッチ素子と、前記スイッチ素子へ並列に接続されたダイオード及びコンデンサと、を含む第一のスイッチ部、第二のスイッチ部、第三のスイッチ部及び第四のスイッチ部、
 b) 互いに直列に接続された第一の分圧用コンデンサ及び第二の分圧用コンデンサ、
 c) 一次巻線と、少なくとも一つの二次巻線と、補助巻線と、を含むトランス、
 d) 前記トランスの出力を全波整流するための整流回路、及び、
 e) 前記整流回路の出力を平滑にするための平滑回路、を有し、前記第一の分圧用コンデンサが前記第二の分圧用コンデンサとの接続端とは逆側の端を実質的な直流定電圧源の高電位端子へ接続され、前記第二の分圧用コンデンサが前記第一の分圧用コンデンサとの接続端とは逆側の端を前記直流定電圧源の低電位端子へ接続され、前記第一のスイッチ部がカソード端を前記直流定電圧源の前記高電位端子へ接続され、前記第二のスイッチ部が、カソード端を前記第一のスイッチ部のアノード端へ、アノード端を前記直流定電圧源の前記低電位端子へそれぞれ接続され、前記第三のスイッチ部及び第四のスイッチ部がアノード端同士又はカソード端同士を互いに接続され、その接続点とは逆側のそれぞれの端を前記トランスの前記一次巻線の端のそれぞれへ接続され、及び、前記一次巻線が、一端を前記第一のスイッチ部と前記第二のスイッチ部との接続点へ、他端を前記第一の分圧用コンデンサと前記第二の分圧用コンデンサとの接続点へそれぞれ接続された

DC-D Cコンバータ；
 B) 前記スイッチ素子へ前記スイッチング信号を所定のスイッチング周波数で出力するためのスイッチング制御手段；
 C) 前記DC-D Cコンバータから出力される負荷電流の量を検出するための負荷電流検出手段；並びに、
 D) 前記負荷電流検出手段により検出された前記負荷電流の量に基づいて、前記スイッチング制御手段の前記スイッチング信号を所定の遅延時間だけ遅延させるための遅延手段；を具備する。

【0025】これにより、ハーフブリッジ型コンバータに補助巻線を付加したものに対しても、上記のハーフブ

リッジ型のものと同様に軽負荷時のデッドタイムが重負荷時より長くできる。それ故、本発明では、一次巻線の電流が小さい軽負荷時でもデッドタイムの間にオンすべきスイッチ部の両端間の電圧が0になり、重負荷時同様にZVSが達成できる。

【0026】上記のフルブリッジ型又はハーフブリッジ型のスイッチング電源装置の場合、好ましくは、前記遅延時間が前記トランスの前記一次巻線の自己インダクタンスで決まる共振周期の実質上1/4である。デッドタイムの間に行われる一次巻線とスイッチ部のコンデンサとの共振において、重負荷時では一次巻線の漏れインダクタンスのみが寄与するのに対し、軽負荷時では実質上一次巻線の自己インダクタンス全体が寄与する。従って、上記の遅延時間であれば、軽負荷時のデッドタイムをコンデンサの放電に対して最も効果的な長さ、すなわち、コンデンサを放電させる向きに流れ始めた共振電流がそのコンデンサを充電させる向きに反転する直前までの時間に、容易に設定できる。

【0027】いわゆるプッシュプル型のスイッチング電源装置において上記の問題点を解決するために、本発明のスイッチング電源装置は、

- A) a) 外部からのスイッチング信号によりオンオフされるスイッチ素子と、前記スイッチ素子へ並列に接続されたダイオード及びコンデンサと、を含む第一のスイッチ部、第二のスイッチ部、第三のスイッチ部及び第四のスイッチ部、
- b) 互いに直列に接続された第一の一次巻線及び第二の一次巻線と、少なくとも一つの二次巻線と、を含むトランス、
- c) 前記トランスの出力を全波整流するための整流回路、及び、
- d) 前記整流回路の出力を平滑にするための平滑回路、を有し、前記第一の一次巻線及び第二の一次巻線が、互いの接続点を実質的な直流定電圧源の第一電位端子へ接続され、前記第一のスイッチ部が、一端を前記直流定電圧源の第二電位端子へ、他端を前記第一の一次巻線の前記第二の一次巻線との接続端とは逆側の端へ接続され、前記第二のスイッチ部が、前記第一のスイッチ部が前記直流定電圧源の前記第二電位へ接続している端と同じ側の端を前記直流定電圧源の前記第二電位端子へ、それとは逆側の端を前記第二の一次巻線の前記第一の一次巻線との接続端とは逆側の端へ接続され、前記第三のスイッチ部及び第四のスイッチ部がアノード端同士又はカソード端同士を互いに接続され、前記第三のスイッチ部が前記第四のスイッチ部との接続端とは逆側の端を、前記第一の一次巻線と前記第一のスイッチ部との間へ接続され、及び、前記第四のスイッチ部が前記第三のスイッチ部との接続端とは逆側の端を、前記第二の一次巻線と前記第二のスイッチ部との間へ接続された

DC-DCコンバータ；

- B) 前記スイッチ素子へ前記スイッチング信号を所定のスイッチング周波数で出力するためのスイッチング制御手段；
- C) 前記DC-DCコンバータから出力される負荷電流の量を検出するための負荷電流検出手段；並びに、
- D) 前記負荷電流検出手段により検出された前記負荷電流の量に基づいて、前記スイッチング制御手段の前記スイッチング信号を所定の遅延時間だけ遅延させるための遅延手段；を具備する。

【0028】ここで、直流定電圧源の第二電位端子が低電位側である場合、第一のスイッチ部及び第二のスイッチ部はアノード端を第二電位端子へと接続する。それとは逆に、直流定電圧源の第二電位端子が高電位側である場合、第一のスイッチ部及び第二のスイッチ部はカソード端を第二電位端子へと接続する。プッシュプル型のDC-DCコンバータでは、直流定電圧源に直接接続される第一のスイッチ部及び第二のスイッチ部をそれぞれオンする場合、軽負荷時におけるZVSが問題となる。しかし、上記のような本発明のプッシュプル型のスイッチング電源装置では、上記のフルブリッジ型及びハーフブリッジ型の場合と同様にして、軽負荷時のデッドタイムが重負荷時より長くできる。ここでデッドタイムは、特に、第四のスイッチ部がオフした後第一のスイッチ部がオンするまで第一のスイッチ部及び第四のスイッチ部が共にオフしている間、又は、第三のスイッチ部がオフした後第二のスイッチ部がオンするまで第二のスイッチ部及び第三のスイッチ部が共にオフしている間、にそれぞれ対応するものをいう。上記のデッドタイムが軽負荷時では重負荷時より長くできるので、本発明では軽負荷時に重負荷時より長い時間コンデンサを放電させ続け得る。従って、一次巻線の電流が小さい軽負荷時でもデッドタイムの間にオンすべきスイッチ部の両端間の電圧が0になり、重負荷時同様にZVSが達成できる。

【0029】上記のプッシュプル型のスイッチング電源装置とは別のプッシュプル型のものとして、本発明のスイッチング電源装置は、

- A) a) 外部からのスイッチング信号によりオンオフされるスイッチ素子と、前記スイッチ素子へ並列に接続されたダイオード及びコンデンサと、を含む第一のスイッチ部、第二のスイッチ部、第三のスイッチ部及び第四のスイッチ部、
- b) 互いに直列に接続された第一の一次巻線及び第二の一次巻線と、少なくとも一つの二次巻線と、補助巻線と、を含むトランス、
- c) 前記トランスの出力を全波整流するための整流回路、及び、
- d) 前記整流回路の出力を平滑にするための平滑回路、を有し、前記第一の一次巻線及び第二の一次巻線が、互いの接続点を実質的な直流定電圧源の第一電位端子へ接続され、前記第一のスイッチ部が、一端を前記直流定電圧源の第二電位端子へ、他端を前記第一の一次巻線の前記第二の一次巻線との接続端とは逆側の端へ接続され、前記第二のスイッチ部が、前記第一のスイッチ部が前記直流定電圧源の前記第二電位へ接続している端と同じ側の端を前記直流定電圧源の前記第二電位端子へ、それとは逆側の端を前記第二の一次巻線の前記第一の一次巻線との接続端とは逆側の端へ接続され、前記第三のスイッチ部及び第四のスイッチ部がアノード端同士又はカソード端同士を互いに接続され、前記第三のスイッチ部が前記第四のスイッチ部との接続端とは逆側の端を、前記第一の一次巻線と前記第一のスイッチ部との間へ接続され、及び、前記第四のスイッチ部が前記第三のスイッチ部との接続端とは逆側の端を、前記第二の一次巻線と前記第二のスイッチ部との間へ接続された

圧源の第二電位端子へ、他端を前記第一の一次巻線の前記第二の一次巻線との接続端とは逆側の端へ接続され、前記第二のスイッチ部が、前記第一のスイッチ部が前記直流定電圧源の前記第二電位へ接続している端と同じ側の端を前記直流定電圧源の前記第二電位端子へ、それとは逆側の端を前記第二の一次巻線の前記第一の一次巻線との接続端とは逆側の端へ接続され、前記第三のスイッチ部及び第四のスイッチ部が、アノード端同士又はカソード端同士を互いに接続され、その接続点を前記直流定電圧源の前記第二電位端子へ接続され、かつ、それぞれのカソード端又はカソード端を前記補助巻線のそれぞれの端へ接続された

D C—D Cコンバータ；

B) 前記スイッチ素子へ前記スイッチング信号を所定のスイッチング周波数で出力するためのスイッチング制御手段；

C) 前記D C—D Cコンバータから出力される負荷電流の量を検出するための負荷電流検出手段；並びに、

D) 前記負荷電流検出手段により検出された前記負荷電流の量に基づいて、前記スイッチング制御手段の前記スイッチング信号を所定の遅延時間だけ遅延させるための遅延手段；を具備する。

【0030】これにより、ブッシュ型コンバータに補助巻線を付加したものに対しても、上記のブッシュ型のものと同様に軽負荷時のデッドタイムが重負荷時よりも長くできる。それ故、本発明では、一次巻線の電流が小さい軽負荷時でもデッドタイムの間にオンすべきスイッチ部の両端間の電圧が0になり、重負荷時同様にZ V Sが達成できる。尚、既に述べたブッシュ型コンバータと同様に、直流定電圧源の第二電位端子が低電位側である場合、第一のスイッチ部及び第二のスイッチ部はアノード端を第二電位端子へと接続する。それとは逆に、直流定電圧源の第二電位端子が高電位側である場合、第一のスイッチ部及び第二のスイッチ部はカソード端を第二電位端子へと接続する。

【0031】上記のブッシュ型のスイッチング電源装置の場合、好ましくは、前記遅延時間が前記トランジスタの前記第一の一次巻線及び前記第二の一次巻線のそれぞれの自己インダクタンスで決まる共振周期の実質上1/4である。デッドタイムの間に行われる一次巻線とスイッチ部のコンデンサとの共振において、重負荷時では一次巻線の漏れインダクタンスのみが寄与するのに対し、軽負荷時では実質上一次巻線の自己インダクタンス全体が寄与する。従って、上記の遅延時間であれば、軽負荷時のデッドタイムをコンデンサの放電に対して最も効果的な長さ、すなわち、コンデンサを放電させる向きに流れ始めた共振電流がそのコンデンサ充電させる向きに反転する直前までの時間に、容易に設定できる。

【0032】以上述べた本発明のスイッチング電源装置において、前記遅延手段の遅延は、前記負荷電流検出手

段により検出された前記負荷電流の量が所定の閾値より実質的に低下した場合、前記スイッチ素子をオンさせるための前記スイッチング信号に対して行われることが好ましい。これにより、スイッチング制御手段からのスイッチング信号が、重負荷時に遅延回路を介さず、各スイッチ素子へ伝達される。従って、より精度良いスイッチングが要求される重負荷時に、スイッチング信号が雑音及び歪み等の影響を受けにくく。

【0033】更に、以上述べた本発明のスイッチング電源装置において、前記負荷電流検出手段が前記負荷電流の量を、前記スイッチ素子の電流、前記一次巻線の電流、及び、前記D C—D Cコンバータの入力電流又は出力電流のいずれから検出しても良い。負荷電流の時間平均的大きさはD C—D Cコンバータの各部分を流れる電流の時間平均的大きさに反映されるので、上記のいずれの電流からも負荷電流量が検出できる。

【0034】

【発明の実施の形態】以下、本発明の最適な実施の形態について、好ましい実施例を説明する。

【実施例1】本発明の実施例1はフルブリッジ型コンバータを有するスイッチング電源装置において本発明を実施したものである。

【実施例1の回路の構成】図1は実施例1のスイッチング電源装置の回路を示す。実施例1の構成と図15に示されている従来例の構成とを比べれば明らかのように、実施例1のスイッチング電源装置の構成は、遅延回路8及びカレントトランジスタ9を有する点のみで従来例と異なる。直流電源又は交流電源を整流して得られた実質的な直流電源が入力端子1a及び1bに接続される。ここで、直流電源からの入力電圧をV_{in}とし、高電位側が第一入力端子1aに、低電位側が第二入力端子1bに、それぞれ接続される。

【0035】実施例1は四つのスイッチ部11、12、13及び14を有する。スイッチ部11、12、13及び14それぞれには、二つの端子の間に並列に接続されたスイッチ素子、ダイオード及びコンデンサを含む。以下、各スイッチ部の二つの端子の内、ダイオードのカソードを接続した方をカソード端、アノードを接続した方をアノード端という。四つのスイッチ部は二つずつ直列に接続されて二つの対をなし、それらの対が並列に接続される。図1では、第一スイッチ部11と第二スイッチ部12、第三スイッチ部13と第四スイッチ部14、それぞれが直列に接続される。第一スイッチ部11のアノード端11bと第二スイッチ部12のカソード端12aとが接続点P1で、第三スイッチ部13のアノード端13bと第四スイッチ部14のカソード端14aとが接続点Q1で、それぞれ接続される。第一スイッチ部11のカソード端11a、及び、第三スイッチ部13のカソード端13aが第一入力端子1aに接続される。第二スイッチ部12のアノード端12b、及び、第四スイッチ部14のアノード端14bが共に第二入力端子1bに接続される。

【0036】スイッチ素子11S、12S、13S及び14Sは好ましくはMOSFETから成る。その他の例としては、バイポーラトランジスタ又はIGBTであっても良い。ダイオード11D、12D、13D及び14Dは、好ましくはスイッチ素子11S、12S、13S及び14Sの寄生ダイオードである。その他の例として、ダイオード11D、12D、13D及び14Dがスイッチ素子11S、12S、13S及び14Sに対して独立な素子であっても良い。四つのコンデンサ11C、12C、13C及び14Cは、スイッチ素子11S、12S、13S及び14Sに対して等価的に並列に接続された寄生コンデンサである。コンデンサ11C、12C、13C及び14Cは各スイッチ素子自身の寄生コンデンサだけでなく、配線及び後述するトランス3の寄生コンデンサも等価的に含む。更に、コンデンサ11C、12C、13C及び14Cが独立な素子としてのコンデンサを含んでいても良い。

【0037】接続点P1及びQ1の間にトランス3の一次巻線3aが接続される。トランス3は二つの二次巻線3b及び3cを有する。二次巻線3b及び3cの接続点Rは第二出力端子2bへ接続される。接続点Rとは逆側にある第一の二次巻線3bの端は第一整流用ダイオード4bのアノードへ、接続点Rとは逆側にある第二の二次巻線3cの端は第二整流用ダイオード4cのアノードへ、それぞれ接続される。第一整流用ダイオード4b及び第二整流用ダイオード4cのカソードはいずれも平滑用インダクタ5の一端へ接続される。平滑用インダクタ5の他端は第一出力端子2aへ接続される。平滑用コンデンサ6は、一端を第一出力端子2aと平滑用インダクタ5との間に、他端を第二出力端子2bへそれぞれ接続される。

【0038】スイッチング制御回路7は出力電圧Voutを測定できるように、出力端子2a及び2bに接続されている。一方、スイッチング制御回路7はスイッチ素子11S、12S、13S及び14Sへ、それぞれのオン・オフをスイッチング信号G1、G2、G3及びG4により制御できるように接続されている。好ましくは、スイッチ素子がMOSFETであり、スイッチング制御回路7は、ゲート電位を変化させてオン・オフを切り替えられるように、各スイッチ素子のゲートに接続される。この場合、スイッチング信号G1、G2、G3及びG4は、好ましくはゲート電位を変化させるような電圧信号である。以上のように接続されたスイッチング制御回路7は、一定のスイッチング周波数でスイッチング信号G1～G4を出力する。そして、出力電圧Voutが一定値に維持されるように、測定された出力電圧値に基づいてスイッチ素子11S、12S、13S及び14Sのオン・オフの時比率を制御する。

【0039】実施例1は負荷電流検出手段としてカレントトランス9を有する。カレントトランス9は一次巻線9aを、第二スイッチ素子12Sのアノード端12bと第四スイッチ素子14Sのアノード端14bとの接続点T1、及び、第二入力端子1bの間に直列に接続する。カレントトランス9の一次巻線9aを流れる入力電流I9の時間平均的大きさは負

荷電流の時間平均的大きさと同様に増減するので、入力電流I9の大きさを測定すれば、負荷電流の大きさを知ることができる。

【0040】遅延回路8は、カレントトランス9の二次巻線9bに接続され、カレントトランス9の一次巻線9aを流れる入力電流I9の大きさを測定し、測定結果を所定の閾値と比較する。具体的には、次のように遅延回路8は入力電流I9の大きさを所定の閾値と比較する。入力電流I9は後述するように変化するので、カレントトランス9の二次巻線9bを流れる電流も同様に変化する。遅延回路8はカレントトランス9の二次巻線9bを流れる電流を、例えばローパスフィルタにより平滑する。それにより得られたほぼ一定な電流の時間平均的な大きさが、例えばコンパレータにより所定の閾値と比較される。比較の結果、カレントトランス9の二次巻線9bを流れる電流の時間平均的大きさがその閾値より実質的に大きい場合、遅延回路8はスイッチング制御回路7からのスイッチング信号G1及びG3を後述の遅延時間だけ保持した後、第一スイッチ素子11S及び第三スイッチ素子13Sへ出力する。

【0041】【重負荷時の動作】実施例1のスイッチング電源装置は重負荷時には以下のように動作する。図1に示されているように、入力端子1a及び1b間に入力電圧Vinが、出力端子2a及び2b間に出力電圧Voutがそれぞれ印加されている。入力電圧Vin及び出力電圧Voutはそれぞれ実質上一定に維持されている。重負荷時においては、後述するように、入力電流I9の平均的大きさが十分に大きい。その結果、遅延回路8はスイッチング信号G1及びG3を実質上遅延させない。従って、実施例1のスイッチング電源装置は図15に示されている従来例のものと同様に動作する。つまり、実施例1の回路の各部分における電圧又は電流のパルス波形は、従来例のものを示す図16と同様になる。

【0042】図16に示されているように、スイッチング信号G1、G2、G3及びG4は所定の幅を持つ矩形波である。スイッチング信号G1、G2、G3及びG4が高電位(H)を示す間、スイッチ素子11S、12S、13S及び14Sはオンし、スイッチング信号G1、G2、G3及びG4が低電位(L)を示す間、スイッチ素子11S、12S、13S及び14Sはオフする。電圧V11、V12、V13及びV14はそれぞれスイッチ部11、12、13及び14に印加される電圧である。それぞれの極性は図1に示されている矢印の向き、すなわち、第二入力端子1b側の端に対する第一入力端子1a側の端の電位を正として定義される。電流I11、I12、I13及びI14はそれぞれスイッチ部11、12、13及び14を流れる電流である。その極性は図1に示されている矢印の向き、すなわち、第一入力端子1a側の端から第二入力端子1b側の端へ向かう向きを正として定義される。電圧V3はトランス3の一次巻線3aに印加される電圧である。その極性は図1に示されている矢印の向き、すなわち、接続点Q1に対する接続点P1の電位を正として定義される。電流I3はトランス3の一次巻線3aを流れる電流である。

線3aを流れる電流である。その極性は図1に示されている矢印の向き、すなわち、接続点P1から接続点Q1へ向かう向きを正として定義される。電流I5は平滑用インダクタ5を流れる電流である。その極性は図1に示されている矢印の向き、すなわち、トランス3側の端から第一出力端子2a側の端へ向かう向きを正として定義される。電流I9はカレントトランス9の一次巻線9aを流れる電流である。つまり、電流I9は実施例1のスイッチング電源装置の入力電流である。その極性は図1に示されている矢印の向き、すなわち、トランス3側の端から第二入力端子1b側の端へ向かう向きを正として定義される。

【0043】時刻T0にスイッチング制御回路7がスイッチング信号G1をLからHへと変化させて第一スイッチ素子11Sをオンする。すると、第四スイッチ素子14Sが既にオフしているので、トランス3の一次巻線3aに電流I3が流れる。この時、トランス3の第一の二次巻線3bに実質的な起電力 V_{in}/n が、第二の二次巻線3cに実質的な起電力 $(-V_{in}/n)$ がそれぞれ発生する。ここで、一次巻線3aと二次巻線3b及び3cとの巻数比をn:1:1(nは一般に実数である)とし、入力電圧 V_{in} は出力電圧 V_{out} より十分大きいので $V_{in}/n > V_{out}$ が成り立つとする。すると、第一整流用ダイオード4bがオフして平滑用インダクタ5に実質的な定電圧($V_{in}/n - V_{out}$)が印加される。それ故、平滑用インダクタ5を流れる電流I5は直線的に増加する。

【0044】一方、一次巻線3aを流れる電流I3は、トランス3に対する励磁電流と、第一の二次巻線3bを流れる電流(第一の二次側電流)I3b及び第二の二次巻線3cを流れる電流(第二の二次側電流)I3cによって決まる一次側換算電流と、の和に等しい。ここで、一次側換算電流とは、一次巻線3aの自己インダクタンスに対する一次巻線3aと第一の二次巻線3bとの相互インダクタンスの比を第一の二次側電流I3bに掛けたもの、及び、一次巻線3aの自己インダクタンスに対する一次巻線3aと第二の二次巻線3cとの相互インダクタンスの比を第二の二次側電流I3cに掛けたもの、の和に実質的に等しい。実施例1の一次側換算電流は $(I3b + I3c)/n = I5/n$ に実質的に等しい。尚、二次側電流I3b及びI3cの極性は図1の矢印の向きをそれぞれ正とする。図16に示されているように、期間T0~T1では一次巻線3aに印加される電圧V3が実質的に一定な値 V_{in} を維持している。それ故、電流I3に含まれる励磁電流は実質上直線的に増加する。従って、励磁電流及び一次側換算電流はいずれも実質上直線的に増加するので、一次巻線3aの電流I3は実質上直線的に増加する。

【0045】時刻T1にスイッチング制御回路7がスイッチング信号G1をHからLへと変化させて第一スイッチ素子11Sをオフする。すると、一次巻線3aの漏れインダクタンスと、第一コンデンサ11C及び第二コンデンサ12Cと、が共振し、第一コンデンサ11Cが充電すると同時に第二コンデンサ12Cが放電する。これにより、第一スイッチ

素子11Sの両端の電圧V11が0から増加すると共に、第二スイッチ素子12Sの両端の電圧V12が最大値 V_{in} から減少する。第一スイッチ素子11Sの両端の電圧V11が最大値 V_{in} へ達すると同時に、第二スイッチ素子12Sの両端の電圧V12が0に達する。すると、第二ダイオード12Dがオンする。その直後の時刻T2にスイッチング制御回路7がスイッチング信号G2をLからHへと変化させて第二スイッチ素子12Sをオンする。このようにして、第二スイッチ素子12Sのオンに対してZVSが行われる。

【0046】時刻T2以後しばらくは、第二ダイオード12D又は第二スイッチ素子12S、及び、既にオンしている第四スイッチ素子14Dを通して、一次巻線3aが短絡される。この時、一次巻線3aに印加される電圧V3が実質的に0であるので、平滑用インダクタ5には実質上定電圧(- V_{out})だけが印加される。従って、平滑用インダクタ5を流れる電流I5は直線的に減少し、その結果、一次巻線3aを流れる電流I3に含まれる一次側換算電流が電流I5同様に直線的に減少する。一方、一次巻線3aに印加される電圧V3が実質的に0であるので、一次巻線3aを流れる電流I3に含まれる励磁電流が実質的に一定に維持される。以上の結果、一次巻線3aを流れる電流I3は直線的に減少する。

【0047】時刻T3にスイッチング制御回路7がスイッチング信号G4をHからLへと変化させて第四スイッチ素子14Sをオフする。すると、一次巻線3aの漏れインダクタンスと、第三コンデンサ13C及び第四コンデンサ14Cと、が共振し、第四コンデンサ14Cが充電すると同時に第三コンデンサ13Cが放電する。これにより、第四スイッチ素子14Sの両端の電圧V14が0から増加すると共に、第三スイッチ素子13Sの両端の電圧V13が最大値 V_{in} から減少する。第四スイッチ素子14Sの両端の電圧V14が最大値 V_{in} へ達すると同時に、第三スイッチ素子13Sの両端の電圧V13が0に達する。すると、第三ダイオード13Dがオンする。その直後の時刻T4に、スイッチング制御回路7がスイッチング信号G3をLからHへと変化させて第三スイッチ素子13Sをオンする。このようにして、第三スイッチ素子13Sのオンに対してZVSが行われる。

【0048】第三スイッチ素子13Sがオンすると、第三スイッチ素子13S、及び、既にオンした第二スイッチ素子12Sを通して、一次巻線3aに電圧(- V_{in})が印加される。すると、一次巻線3aを流れる電流I3の向きが急激に反転する。一方、第一の二次巻線3bには実質的な起電力 $(-V_{in}/n)$ が、第二の二次巻線3cには実質的な起電力 V_{in}/n がそれぞれ発生する。それ故、第二整流用ダイオード4cがオフして平滑用インダクタ5に実質上定電圧($V_{in}/n - V_{out}$)が印加される。すると、平滑用インダクタ5を流れる電流I5は直線的に増加する。その結果、一次巻線3aを時刻T3以前とは逆向きに流れる電流I3は直線的に増加する。

50 【0049】時刻T5にスイッチング制御回路7がスイッ

チング信号G3をHからLへと変化させて第三スイッチ素子13Sをオフする。すると、一次巻線3aの漏れインダクタンスと、第三コンデンサ13C及び第四コンデンサ14Cと、が共振し、第三コンデンサ13Cが充電すると同時に第四コンデンサ14Cが放電する。これにより、第三スイッチ素子13Sの両端の電圧V13が0から増加すると共に、第四スイッチ素子14Sの両端の電圧V14が最大値Vinから減少する。第三スイッチ素子13Sの両端の電圧V13が最大値Vinへ達すると同時に、第四スイッチ素子14Sの両端の電圧V14が0に達する。すると、第四ダイオード14Dがオンする。その直後の時刻T6に、スイッチング制御回路7がスイッチング信号G4をLからHへと変化させて第四スイッチ素子14Sをオンする。このようにして、第四スイッチ素子14Sのオンに対してZVSが行われる。

【0050】時刻T6以後しばらくは、第四ダイオード14D又は第四スイッチ素子14S、及び、既にオンしている第二スイッチ素子12Dを通して、一次巻線3aが短絡される。この時、一次巻線3aに印加される電圧V3が実質的に0であるので、平滑用インダクタ5には実質上定電圧(-Vout)だけが印加される。従って、平滑用インダクタ5を流れる電流I5は直線的に減少し、その結果、一次巻線3aを流れる電流I3に含まれる一次側換算電流が電流I5同様に直線的に減少する。一方、一次巻線3aに印加される電圧V3が実質的に0であるので、一次巻線3aを流れる電流I3に含まれる励磁電流が実質的に一定に維持されている。従って、一次巻線3aを流れる電流I3は直線的に減少する。

【0051】時刻T7にスイッチング制御回路7がスイッチング信号G2をHからLへと変化させて第二スイッチ素子12Sをオフする。すると、一次巻線3aの漏れインダクタンスと、第一コンデンサ11C及び第二コンデンサ12Cと、が共振し、第二コンデンサ12Cが充電すると同時に第一コンデンサ11Cが放電する。これにより、第二スイッチ素子12Sの両端の電圧V12が0から増加すると共に、第一スイッチ素子11Sの両端の電圧V11が最大値Vinから減少する。第二スイッチ素子12Sの両端の電圧V12が最大値Vinへ達すると同時に、第一スイッチ素子11Sの両端の電圧V11が0に達する。すると、第一ダイオード11Dがオンす*

$$(Vin/n - Vout) \times Ton = Vout \times Toff$$

【0056】従って、出力電圧Voutは入力電圧Vinと次式(2)のように関係する。

$$Vout = \delta \times Vin/n$$

但し、

(1)

$$\delta = Ton / (Ton + Toff)$$

(2)

【0058】式(2)が示すように、第一スイッチ素子11Sと第三スイッチ素子13Sとのオン・オフの時比率 δ を制御することにより、出力電圧Voutが実質上一定値に安定に維持される。更に、スイッチ素子11S、12S、13S、及び、14Sはいずれも上記のようにZVSによりオンするので、スイッチング損失が小さい。

【0059】カレントトランジスタ9の一次巻線9aを流れる入力電流I9は、第二スイッチ部12を流れる電流I12及び

* る。その直後の時刻T8に、スイッチング制御回路7がスイッチング信号G1をLからHへと変化させて第一スイッチ素子11Sをオンする。このようにして、第一スイッチ素子11Sのオンに対してZVSが行われる。

【0052】第一スイッチ素子11Sがオンすると、第一スイッチ素子11S、及び、既にオンした第四スイッチ素子14Sを通して、一次巻線3aにVinが印加される。すると、一次巻線3aを流れる電流I3の向きが再び急激に反転する。こうして、時刻T0の時の状態が再現されて、以上述べたような動作が繰り返される。

【0053】各スイッチ素子がオンからオフ又はオフからオンへと切り替わる過渡期間、すなわち、T1～T2、T3～T4、T5～T6、及び、T7～T8をデッドタイムという。デッドタイムの長さは、各スイッチ素子が安定にオン又はオフしている期間であるT0～T1、T2～T3、T4～T5、及び、T6～T7の時間に比べて一般に十分短い。実施例1では、前者が数 μ sec程度であるのに対して、後者が数十～数百nsec程度である。そこで、デッドタイムを無視する近似を行うと、以下のようにして入力電圧Vinと出力電圧Voutとの関係が求まる。

【0054】第一スイッチ素子11Sがオンしている期間(オン期間)T0～T1の時間と、第三スイッチ素子13Sのオン期間T4～T5の時間とがいずれもTonであるとする。それぞのオン期間では上記のように平滑用インダクタ5に電圧(Vin/n - Vout)が印加されるので、平滑用インダクタ5に蓄えられる磁束が(Vin/n - Vout) × Tonだけ増加する。一方、第一スイッチ素子11Sのオフから第三スイッチ素子13Sのオンまでの期間T1～T4の時間と、第三スイッチ素子13Sのオフから第一スイッチ素子11Sのオンまでの期間T5～T8の時間とがいずれもToffであるとする。それぞの期間では上記のように平滑用インダクタ5に電圧(-Vout)が印加されるので、平滑用インダクタ5に蓄えられる磁束がVout × Toffだけ減少する。従って、平滑用インダクタ5の磁束の増加分と減少分とが釣り合うための条件、すなわち、平滑用インダクタ5のリセット条件が次式(1)のように表される。

【0055】

※

※

50

第四スイッチ部14を流れる電流I14の和に等しい。従って、入力電流I9は図16に示されているように変化する。このように変化するので、遅延回路8はカレントトランジスタ9により入力電流I9の大きさを測定できる。

【0060】〔軽負荷時の動作〕実施例1のスイッチング電源装置は軽負荷時には以下のように動作する。軽負荷時においても重負荷時と同様に、入力電圧Vin及び出力電圧Voutはそれぞれ実質上一定に維持されている。図

2は、軽負荷時において実施例1の回路の各部分に生じる電圧又は電流のパルス波形である。図2と図16において同じ符号で表されている電圧又は電流は、それぞれ実施例1の回路における同じ部分のものであるので、その説明は実施例1のものを援用する。

【0061】図16に示されている重負荷時と比べ、図2に示されている軽負荷時では平滑用インダクタ5に流れる電流I5の大きさ、従って、トランス3の一次巻線3aに流れる電流I3の大きさ、及び、カレントトランス9の一次巻線9aを流れる入力電流I9の大きさがいずれも小さい。遅延回路8は、入力電流I9の平均的大きさが所定の閾値より小さいことを検出して、スイッチング制御回路7から入力したスイッチング信号G1及びG3を、後述のように設定された遅延時間だけ遅延させる。実施例1では上記の閾値が、好ましくは、重負荷時における入力電流I9の平均的大きさに対して約20%程度に設定されている。

【0062】スイッチング信号G1及びG3が重負荷時より所定の遅延時間だけ遅れて第一スイッチ素子11S及び第三スイッチ素子13Sへ出力される。従って、図2と図16とを比べれば明らかなように、期間T3～T4の時間及び期間T7～T8の時間がそれぞれ重負荷時より長い。以下、期間T3～T4に実施例1のスイッチング電源装置が行う動作を、重負荷時と軽負荷時とを対比しつつ説明する。期間T7～T8における動作は対称的であるので、以下の説明から容易に理解できるであろう。その他の期間における動作は重負荷時と同様である。従って、期間T3～T4以外の期間における動作の説明は省略する。

【0063】時刻T3直前では第二スイッチ部12及び第四スイッチ部14が導通していて一次巻線3aを短絡している。一次巻線3aを流れる電流I3は接続点P1から接続点Q1へ向かって流れている、一次巻線3aに印加される電圧V3は実質的に0である。それ故、トランス3の二次巻線3b及び3cには一次側からの起電力が実質的に発生していない。この時、第一の二次側電流I3bが二次巻線3bを第一整流用ダイオード4bの順方向に流れていると同時に、第二の二次側電流I3cが二次巻線3cを第二整流用ダイオード4cの順方向に流れている。

【0064】トランス3の二次巻線3b及び3cの両自己インダクタンスは実質的に互いに等しく、かつ、それらの間の相互インダクタンスは自己インダクタンスに比べて十分に無視できる。それ故、二次側電流I3b及びI3cが同時に流れている状態では、二次側電流I3b及びI3cの時間的变化は殆ど互いに相殺し、平滑用インダクタ5を流れる電流I5は時刻T3以後の変化に比べて十分緩やかに減少する。従って、トランス3の励磁インダクタンスに蓄えられた磁気エネルギーは実質的に変化せず、一次側の動作に対しては一次巻線3aの漏れインダクタンスに蓄えられた磁気エネルギーだけが寄与する。

【0065】時刻T3に第四スイッチ素子14Sがオフする

と、一次巻線3aの漏れインダクタンスと、第三コンデンサ13C及び第四コンデンサ14Cと、が共振し、第四コンデンサ14Cが充電すると同時に第三コンデンサ13Cが放電する。これにより、第四スイッチ素子14Sの両端の電圧V14が0から増加すると共に、第三スイッチ素子13Sの両端の電圧V13が最大値Vinから減少する。従って、一次巻線3aに印加される電圧V3が負の向きに増大する。すると、一次側からの起電力が二次巻線3b及び3cに発生し、第一の二次巻線3bでは第一の二次側電流I3bを減らすように、一方、第二の二次巻線3cでは第二の二次側電流I3cを増やすように、それぞれ作用する。

【0066】[(A) 重負荷時における期間T3～T4の動作] 図3は、重負荷時、時刻T3近傍においてトランス3の一次巻線3aに印加される電圧V3、及び、一次巻線3aを流れる電流I3のパルス波形を拡大した図である。図3の内、図(a)がそのパルス波形に対応し、図(b)は、図(a)中に示されている主な期間でのトランス3の二次側電流I3b及びI3cを矢印で模式的に示した図である。重負荷時では、平滑用インダクタ5を流れる電流I5が十分大きい、すなわち、第一の二次側電流I3bが十分大きい。それ故、図3(b)に示されているように、第一の二次側電流I3bが第一の二次巻線3bを、第二の二次側電流I3cが第二の二次巻線3cを、それぞれ同時に流れている状態で、図16に示されているように、第三スイッチ素子13Sの両端の電圧V13が0に達し得る。

【0067】図3(a)に示されている時刻T31は、第三スイッチ素子13Sの両端の電圧V13が0に達する時刻である。期間T3～T31では一次巻線3aの漏れインダクタンスL1が第三コンデンサ13C及び第四コンデンサ14Cとの共振に寄与する。その共振により、図3(a)に示されているように、一次巻線3aを流れる電流I3は実質上正弦波的に減少する。この実質上の正弦波の周期、すなわち、共振周期は、一次巻線3aの漏れインダクタンスL1と第三コンデンサ13C及び第四コンデンサ14Cの合成電気容量との積のルートに比例する。

【0068】時刻T31以後は第三ダイオード13D(図1)がオンしているので、第三スイッチ素子13Sの両端の電圧V13が0のまま維持される(図16)。従って、一次巻線3aを流れる電流I3が0になり流れの向きを反転させる直前の時刻T32までに第三スイッチ素子13Sをオンすれば、第三スイッチ素子13Sのオンに対してZVSが実現できる。本明細書では、期間T31～T32に時刻T4が設定されるよう期間T3～T4のデッドタイムが設定されることを、「デッドタイムがZVS条件を満たす」という。

【0069】期間T3～T31の時間は、第三スイッチ素子13Sの両端の電圧V13が0に達するように第三コンデンサ13C及び第四コンデンサ14Cから移動させるべき電荷量、すなわち、図3(a)の斜線部の面積で決まる。時刻T31以後一次巻線3aの電圧V3が一定値(-Vin)に保たれるので一次巻線3aの電流I3は直線的に減少する。この直線的減少

の傾きは、二次側電流I3b及びI3cが同時に流れている間、一次巻線3aの漏れインダクタンスL1に反比例する。更に、一次巻線3aを流れる電流I3の変化の傾きは時刻T3の前後で実質的に等しい。従って、期間T3～T31における共振の実質的な共振周期の1/4は期間T3～T31の時間より長く、期間T3～T32の時間より短い。それ故、デッドタイムを上記の共振周期の1/4に設定すればZVS条件が満たされる。

【0070】時刻T3以後、第一の二次巻線3bを流れる第一の二次側電流I3bは減少し続ける。重負荷時では時刻T3での第一の二次側電流I3bが十分大きいので、第一の二次側電流I3bが0になり第一整流用ダイオード4bがオフする時刻T4bは、図3(a)に示されているように時刻T31よりも後である。時刻T4bに達すると、図3(b)に示されているように、第一の二次側電流I3bが0となり、第二の二次側電流I3cだけが第二の二次巻線3cを流れるようになる。すると、平滑用インダクタ5を流れる電流I5が実質的に変化し始める。平滑用インダクタ5のインダクタンスは好ましくは、一次巻線3aの自己インダクタンス、第二の二次巻線3cの自己インダクタンス、及び、それらの間の相互インダクタンスより十分に大きい。それ故、平滑用インダクタ5に蓄えられた磁気エネルギーの変化に伴って、トランス3に蓄えられた磁気エネルギーが大きく変化し始める。従って、一次巻線3aの自己インダクタンスL全体が一次側の動作へ寄与し始める。一次巻線3aの電圧V3は一定値(-Vin)に保たれているので、一次巻線3aの電流I3は一次巻線3aの自己インダクタンスLに反比例する傾きで直線的に減少し、又は、向きを反転させた後ではその大きさを増大させていく。

【0071】〔(B) 軽負荷時における期間T3～T4の動作〕負荷電流の時間平均的大きさが小さくなってくると、時刻T3での第一の二次側電流I3bの大きさが小さくなってくるので、第一の二次側電流I3bが0になり第一整流用ダイオード4bがオフする時刻T4bは時刻T3に近づいてくる。更に、時刻T3での一次巻線3aを流れる電流I3の大きさも小さくなってくる。一方、第三スイッチ素子13Sの両端の電圧V13が0に達するように第三コンデンサ13C及び第四コンデンサ14Cから移動させるべき電荷量、すなわち、図3(a)の斜線部の面積は負荷電流の大きさに依らず一定である。従って、期間T3～T31の時間は長くなってくる。以上のことから、負荷電流の時間平均的大きさが小さくなると、やがて、時刻T4bは時刻T31と実質的に一致するようになる。軽負荷時は、負荷電流の時間平均的大きさがこの時の大きさ以下になっている状態に相当する。

【0072】図4は、軽負荷時、時刻T3近傍においてトランス3の一次巻線3aに印加される電圧V3、及び、一次巻線3aを流れる電流I3のパルス波形を拡大した図である。図4の内、図(a)がそのパルス波形に対応し、図(b)は、図(a)中に示されている主な期間でのトランス3の二

次側電流I3b及びI3cを矢印で模式的に示した図である。図4(a)に示されているように、第三スイッチ素子13Sの両端の電圧V13が0に達する時刻T31より、第一の二次側電流I3bが0となり第一整流用ダイオード4bがオフする時刻T4bが先になっている。

【0073】図4(b)に示されているように、期間T3～T4bまでは二次巻線3b及び3cのいずれにも二次側電流I3b及びI3cが流れている。その状態では、既に述べたように、一次側の動作に対しては一次巻線3aの漏れインダクタンスL1だけが寄与する。従って、期間T3～T4bで一次巻線3aを流れる電流I3は、一次巻線3aの漏れインダクタンスL1と、第三コンデンサ13C及び第四コンデンサ14Cとの共振により、実質上正弦波的に減少する。

【0074】時刻T4bに達すると第一の二次側電流I3bが0になり、期間T4b～T31では、図4(b)に示されているように、第二の二次側電流I3cだけが流れている。その状態では一次巻線3aの自己インダクタンスLが一次側の動作に対して寄与する。つまり、時刻T4b以後、一次巻線3aを流れる電流I3は一次巻線3aの自己インダクタンスLと、第三コンデンサ13C及び第四コンデンサ14Cとの共振により、実質上正弦波的に減少する。一般に、自己インダクタンスLは漏れインダクタンスL1に比べかなり大きい(すなわち $L \gg L1$)ので、共振周期は時刻T4bでそれ以前よりかなり大きくなる。この共振周期の増大に伴い、図4(a)に示されているように、電流I3の減少が時刻T4b以後その直前よりかなりなだらかになる。

【0075】時刻T31以後は第三ダイオード13D(図1)がオンし、第三スイッチ素子13Sの両端の電圧V13が0のまま維持される。そして、時刻T32に一次巻線3aを流れる電流I3が0になり、その直後から流れの向きを反転させる。従って、期間T31～T32に第三スイッチ素子13Sをオンすれば、第三スイッチ素子13Sのオンに対してZVSが実現できる。

【0076】図4(a)の斜線部の面積は、図3(a)同様、第三スイッチ素子13Sの両端の電圧V13が0に達するように第三コンデンサ13C及び第四コンデンサ14Cから移動させるべき電荷量を表す。この電荷量は重負荷時と軽負荷時とで実質的に等しいので、図3(a)の斜線部は図4(a)の斜線部と実質的に等しい面積である。両斜線部を比較すればわかるように、軽負荷時では時刻T3での電流I3の大きさが重負荷時に比べて小さいので、期間T3～T31の時間が長い。

【0077】時刻T31以後は重負荷時同様、電圧V3が一定値(-Vin)に保たれるので、電流I3は直線的に減少する。この直線的減少の傾きは一次巻線3aの自己インダクタンスLに反比例する。軽負荷時では、時刻T3での電流I3の大きさが小さい。しかしその一方で、上記のように共振周期が時刻T4bで大きくなり、時刻T3から電流I3が0になるまでの時間が長くなる。それ故、期間T3～T4の時間、すなわち、デッドタイムを長くするとZVS条件が

満たされ得る。

【0078】 [(C) (B)の軽負荷時より負荷電流が更に小さい時の期間T3～T4の動作] 図5は、上記の(B)の場合よりも負荷電流が更に小さい時、時刻T3近傍においてトランジスト3の一次巻線3aに印加される電圧V3、及び、一次巻線3aを流れる電流I3のパルス波形を拡大した図である。図5の内、図(a)がそのパルス波形に対応し、図(b)は、図(a)中に示されている主な期間でのトランジスト3の二次側電流I3b及びI3cを矢印で模式的に示した図である。

【0079】 (B)の軽負荷時より負荷電流の時間平均的大きさが更に小さくなってくると、時刻T3において、平滑用インダクタ5を流れる電流I5が更に小さくなると共に、一次巻線3aを流れる電流I3も更に小さくなる。一方、第三コンデンサ13C及び第四コンデンサ14Cへ移動させるべき電荷量、すなわち、図4(a)又は5(a)の斜線部全体の面積は一定である。従って、負荷電流の時間平均的大きさが小さい程、第三コンデンサ13Cの両端の電圧が0となる時刻T31は遅くなる。それに対して、第一整流用ダイオード4bがオフする時刻T4bが時刻T31より先に到達するようになると、期間T3～T4bの時間は一次巻線3aの漏れインダクタンスL1だけによる共振の周期の実質上1/4程度に止まるようになる。

【0080】 以上述べたことから、負荷電流の時間平均的大きさが十分小さくなると、図5(a)に示されているように、一次巻線3aの自己インダクタンスLによる共振時間（期間T4b～T31）は、漏れインダクタンスLだけによる共振時間（期間T3～T4b）を十分無視できる程長くなる。この程度の軽負荷時では、期間T3～T4の時間、すなわち、デッドタイムを一次巻線3aの自己インダクタンスLで決まる共振周期の1/4に設定すれば、ZVS条件が満たされ得る。

【0081】 一次巻線3aと第三コンデンサ13C及び第四コンデンサ14Cとの共振周期は、一次巻線3aの自己インダクタンスLで決まるもの以上にはもはや実質上大きくならない。それ故、更に軽負荷の度合いが進み、すなわち、時刻T3での一次巻線3aの電流I3が更に小さくなると、時刻T31が時刻T32と一致するようになる。それ以上軽負荷が進むと、ZVS条件を満たし得るデッドタイムは存在しなくなる。

【0082】 図6は、(A)の重負荷時、(B)の軽負荷時、(C)の軽負荷時のそれにおける実施例1の動作に対する上記の考察、及び、その動作に対する実験からの推測により得られた、負荷電流の時間平均的大きさに対してZVS条件を満たし得るデッドタイムの範囲の概略を模式的に示す図である。負荷電流の大きさを示す図6の横軸に沿って描かれた矢印Aの範囲が(A)の重負荷時に、矢印Bの範囲が(B)の軽負荷時に、矢印Cの範囲が(C)の軽負荷時にそれぞれ対応する。従って、デッドタイムを負荷電流の大きさに合わせて図6が示す範囲に含まれるよう変化させれば、負荷電流の大きさに関わらずデッド

タイムがZVS条件を満たすようになる。

【0083】 特に実施例1では、デッドタイムが、負荷電流の時間平均的大きさが矢印Aの範囲及び矢印Cの範囲にある場合、一次巻線3aの漏れインダクタンスL1で決まる共振周期の1/4(図6のD1)、及び、その自己インダクタンスLで決まる共振周期の1/4(図6のD2)に、それぞれ等しく設定されるとZVS条件を満たす。従って、図6に示されているように、矢印Bの範囲に閾値Ithを定め、デッドタイムを、負荷電流が閾値Ithより実質的に大きい場合D1に、負荷電流が閾値Ithより実質的に小さい場合D2にそれぞれ設定する。すなわち、図6の破線で示されている折線D上にデッドタイムを設定する。

【0084】 重負荷時にデッドタイムをD1に設定することは、従来のスイッチング制御回路7(図1)で既に行われている。それ故、実施例1では従来の設定に加えて、負荷電流が閾値Ithより実質的に小さい場合、遅延回路8の遅延時間をD2-D1=D2(何故なら、D2>D1)に設定する。負荷電流の時間平均的大きさは、カレントトランジスト9の一次巻線9aを流れる入力電流I9の時間平均的大きさと相関する。従って、入力電流I9に対する閾値I9thが、負荷電流に対する上記の閾値Ithに対応して設定され得る。入力電流I9が閾値I9thより実質的に小さければ、負荷電流も閾値Ithより実質的に小さい。こうして、実施例1では遅延回路8により、軽負荷時でも第三スイッチ素子13SのオンにおいてZVSを行い得るようにデッドタイムを設定できる。

【0085】 図6のZVS条件を満たす範囲は負荷電流に対する下限Iminを有する。下限Iminより小さい負荷電流に対しては、ZVS条件を満たし得るデッドタイムが存在しない。しかし、この場合でも上記のようにデッドタイムをD2に設定しておけば、従来のようにD1に設定したまよりも、時刻T4(図2)で第三コンデンサ13C(図1)に残留する電荷量が少ない。従って、時刻T4でのスイッチング損失が従来よりも少ない。

【0086】 実施例1では図6に示されている折線Dのように、負荷電流の大きさに対する閾値Ithを境に離散的にデッドタイムを設定した。その他に、図6に示されている矢印Bの範囲でZVS条件を満たす範囲から外れないように、デッドタイムを直線的あるいは曲線的に変化させても良い。

【0087】 《実施例2》 以下本発明の実施例2について説明する。実施例2はハーフブリッジ型コンバータを有するスイッチング電源装置において本発明を実施したものである。

【実施例2の回路の構成】 図7は実施例2のスイッチング電源装置の回路を示す。ここで、実施例1(図1)と共通の構成要素には同じ符号を付して、その説明は実施例1のものを援用する。実施例1同様、直流電源又は交流電源を整流して得られた実質的な直流電源が入力端子1a及び1bに接続される。ここで、直流電源からの入力電圧

を V_{in} とし、高電位側が第一入力端子1aに、低電位側が第二入力端子1bに、それぞれ接続されるとする。

【0088】実施例2の回路は、二つのコンデンサ1C1及び1C2、並びに、四つのスイッチ部21、22、23及び24を有する。第一コンデンサ1C1及び第二コンデンサ1C2は、接続点P2で互いに直列に接続されている。第一コンデンサ1C1の接続点P2とは逆側の端は第一入力端子1aに、第二コンデンサ1C2の接続点P2とは逆側の端は第二入力端子1bに、それぞれ接続されている。第一コンデンサ1C1及び第二コンデンサ1C2はいずれも十分に静電容量が大きいので、後述の実施例2の駆動時において両端の電圧が実質上変化しない。スイッチ部21、22、23及び24それぞれは、実施例1のスイッチ部と同様、カソード端とアノード端との間に並列に接続されたスイッチ素子、ダイオード及びコンデンサを含む。四つのスイッチ部は二つずつ直列に接続されて二つの対をなす。図7では、第一スイッチ部21と第二スイッチ部22、第三スイッチ部23と第四スイッチ部24、それぞれが直列に接続される。第一スイッチ部21のアノード端21bと第二スイッチ部22のカソード端22aとが接続点Q2へ接続される。第一スイッチ部21のカソード端21aは第一入力端子1aへ、第二スイッチ部22のアノード端22bは第二入力端子1bへ、それぞれ接続される。第三スイッチ部23のカソード端23aが、第一コンデンサ1C1と第二コンデンサ1C2との接続点P2へ接続される。第四スイッチ部24のカソード端24aが、第一スイッチ部21と第二スイッチ部22との接続点Q2へ接続される。

【0089】スイッチ素子21S、22S、23S及び24Sは、好ましくはMOSFETから成る。その他にバイポーラトランジスタ又はIGBTであっても良い。ダイオード21D、22D、23D及び24Dは好ましくは、スイッチ素子21S、22S、23S及び24Sの寄生ダイオードである。その他に、ダイオード21D、22D、23D及び24Dが各スイッチ素子に対して独立な素子であっても良い。四つの寄生コンデンサ21C、22C、23C及び24Cは、スイッチ素子21S、22S、23S及び24Sに対して等価的に並列に接続された寄生コンデンサである。寄生コンデンサ21C、22C、23C及び24Cは各スイッチ素子自身の寄生コンデンサだけでなく、配線及び後述するトランス3の寄生コンデンサも等価的に含む。更に、寄生コンデンサ21C、22C、23C及び24Cは独立した素子としてのコンデンサを含んでいても良い。

【0090】接続点P2及びQ2の間にトランス3の一次巻線3aが接続される。トランス3の二次側の構造は実施例1と全く同様なので、その説明は実施例1のものを援用する。スイッチング制御回路7は、実施例1同様、出力端子2a及び2bへ出力電圧 V_{out} を測定できるように、かつ、スイッチ素子21S、22S、23S及び24Sへスイッチング信号G1、G2、G3及びG4を出力できるように接続されている。実施例1同様、スイッチ素子がMOSFETであり、スイッチング制御回路7が、ゲート電位を変化させ

られるように各スイッチ素子のゲートに接続されるのが好ましい。以上のように接続されたスイッチング制御回路7は、一定のスイッチング周波数でスイッチング信号G1～G4を出力する。そして、出力電圧 V_{out} が一定値に維持されるように、測定された出力電圧値に基づいてスイッチ素子21S、22S、23S及び24Sのオン・オフの時比率を制御する。

【0091】電流検出用抵抗29は第二コンデンサ1C2と第二スイッチ部22のアノード端22bとの接続点T2、及び、第二入力端子1bの間に直列に接続される。電流検出用抵抗29の抵抗値は、その両端で入力電流I29が実質的に同じ電流量と見なせる程度に十分小さい。入力電流I29の時間平均的大きさは負荷電流の平均的大きさと同様に増減するので、入力電流I29の大きさを測定すれば負荷電流の大きさを知ることができる。そこで、遅延回路28は、電流検出用抵抗29の両端に接続され、その電圧を測定し、測定された電圧の時間平均値を所定の閾値と比較する。それにより、電流検出用抵抗29を流れる入力電流I29の大きさを所定の閾値と比較する。この閾値は、負荷電流の実質的な大きさが後述の閾値I_{th}に一致する時の入力電流I29の時間平均値に実質的に等しく設定される。この閾値との比較の結果、測定された入力電流I29の時間平均値がその閾値より実質的に低下した場合、遅延回路28はスイッチング制御回路7からのスイッチング信号G1及びG2を後述の遅延時間だけ保持した後、第一スイッチ素子21S及び第二スイッチ素子22Sへ出力する。

【0092】[重負荷時の動作] 実施例2のスイッチング電源装置は重負荷時には以下のように動作する。図7に示されているように、入力端子1a及び1b間に入力電圧 V_{in} が、出力端子2a及び2b間に出力電圧 V_{out} がそれぞれ印加されている。入力電圧 V_{in} 及び出力電圧 V_{out} はそれぞれ実質上一定に維持されている。電圧 V_C は第一コンデンサ1C1と第二コンデンサ1C2との接続点P2の第二入力端子1bに対する電圧である。その極性は図7に示されている矢印の向き、すなわち、第二入力端子1b側の端から接続点P2側の端へ向かう向きを正として定義される。但し、電流検出用抵抗29による電圧降下量は十分小さいので無視する。更に、第一コンデンサ1C1及び第二コンデンサ1C2の静電容量は十分に大きいので、電圧 V_C は実質上一定として良い。この時、電圧 V_C は入力電圧 V_{in} より小さい($V_C < V_{in}$)。

【0093】重負荷時においては、後述するように、入力電流I29の平均的大きさが十分に大きい。その結果、遅延回路28はスイッチング信号G1及びG2を実質上遅延させない。図8は、重負荷時、実施例2の回路の各部分における電圧又は電流のパルス波形を示す図である。図8に示されているスイッチング信号G1、G2、G3、G4、電圧V3、電流I3及びI5はいずれも実施例1のもの(図2)と同様である。電圧V21、V22、V23及びV24はそれぞれスイッチ部21、22、23及び24に印加される電圧である。それぞ

れの極性は図7に示されている矢印の向き、すなわち、第二入力端子1b側の端に対する第一入力端子1a側の端の電位を正としてそれぞれ定義される。電流I21、I22及びI23はそれぞれスイッチ部21、22及び23を流れる電流である。その極性は図7に示されている矢印の向き、すなわち、第一入力端子1a側の端から第二入力端子1b側の端へ向かう向きを正として定義される。但し、電流I23は第四スイッチ部24を流れる電流に等しい。電流I29は電流検出用抵抗29を流れる電流、つまり、実施例2のスイッチング電源装置の入力電流である。その極性は図7に示されている矢印の向き、すなわち、第二コンデンサ1C2側の端から第二入力端子1b側の端へ向かう向きを正として定義される。

【0094】時刻T0にスイッチング制御回路7がスイッチング信号G2をLからHへと変化させて第二スイッチ素子22Sをオンする。すると、第一コンデンサ1C1を充電し、かつ、第二コンデンサ1C2を放電するように、トランジスト3の一次巻線3aに電流I3が流れる。この時、第一の二次巻線3bに実質的な起電力 VC/n が、第二の二次巻線3cに実質的な起電力($-VC/n$)がそれぞれ発生する(実施例1同様、一次巻線3a、第一の二次巻線3b及び第二の二次巻線3cの巻数比を $n:1:1$ とする)。ここで、入力電圧Vinは出力電圧Voutより十分大きいので $Vin/n > Vout$ が成り立ち、更に、電圧値VCも十分大きいので $VC/n > Vout$ が成り立つとする。すると、第一整流用ダイオード4b又は第二整流用ダイオード4cにより平滑用インダクタ5に実質的に定電圧($VC/n - Vout$)が印加される。それ故、平滑用インダクタ5を流れる電流I5は直線的に増加する。期間T0～T1では一次巻線3aに印加される電圧V3が実質的に一定な値VCを維持しているので、電流I3に含まれる励磁電流は実質上直線的に増加する。一方実施例1同様、一次側換算電流は実質上直線的に増加する。結局、一次巻線3aの電流I3は実質上直線的に増加する。

【0095】時刻T1にスイッチング制御回路7がスイッチング信号G2をHからLへと変化させて第二スイッチ素子22Sをオフする。すると、一次巻線3aの漏れインダクタンスと、第一寄生コンデンサ21C、第二寄生コンデンサ22C及び第三寄生コンデンサ23Cと、が共振し、第二コンデンサ22Cが充電すると同時に、第一コンデンサ21C及び第三寄生コンデンサ23Cが放電する。これにより、第二スイッチ素子22Sの両端の電圧V22が0から増加すると共に、第一スイッチ素子21Sの両端の電圧V21が最大値Vinから、かつ、第三スイッチ素子23Sの両端の電圧V23が最大値VCからそれぞれ減少する。第二スイッチ素子22Sの両端の電圧V22が電圧値VCへ達すると同時に、第一スイッチ素子21Sの両端の電圧V21が電圧値($Vin - VC$)に、第三スイッチ素子23Sの両端の電圧V23が0にそれぞれ達する。すると、第三ダイオード23Dがオンする。その後の時刻T2にスイッチング制御回路7がスイッチング信号G3をLからHへと変化させて第三スイッチ素子23Sをオンす

る。このようにして、第三スイッチ素子23Sのオンに対してZVSが行われる。

【0096】時刻T2以後しばらくは、第三ダイオード23D又は第三スイッチ素子23S、及び、既にオンしている第四スイッチ素子24Sを通して、一次巻線3aが短絡される。この時、一次巻線3aに印加される電圧V3が実質的に0であるので、平滑用インダクタ5には実質上定電圧($-Vout$)だけが印加される。従って、平滑用インダクタ5を流れる電流I5は直線的に減少し、その結果、一次巻線3aを流れる電流I3に含まれる一次側換算電流が電流I5同様に直線的に減少する。一方、一次巻線3aに印加される電圧V3が実質的に0であるので、一次巻線3aを流れる電流I3に含まれる励磁電流が実質的に一定に維持される。以上の結果、一次巻線3aを流れる電流I3は直線的に減少する。

【0097】時刻T3にスイッチング制御回路7がスイッチング信号G4をHからLへと変化させて第四スイッチ素子24Sをオフする。すると、一次巻線3aの漏れインダクタンスと、第一寄生コンデンサ21C、第二寄生コンデンサ22C及び第四寄生コンデンサ24Cと、が共振し、第二寄生コンデンサ22C及び第四寄生コンデンサ24Cが充電すると同時に、第一寄生コンデンサ23Cが放電する。これにより、第二スイッチ素子22Sの両端の電圧V22が電圧値VCから増加すると共に、第一スイッチ素子21Sの両端の電圧V21が電圧値($Vin - VC$)から、かつ、第四スイッチ素子24Sの両端の電圧V24が0から、それぞれ減少する。第二スイッチ素子22Sの両端の電圧V22が最大値Vinに、かつ、第四スイッチ素子24Sの両端の電圧V24が最小値($VC - Vin$)(<0)にそれぞれ達すると同時に、第一スイッチ素子21Sの両端の電圧V21が0に達する。すると、第一ダイオード21Dがオンする。その直後の時刻T4に、スイッチング制御回路7がスイッチング信号G1をLからHへと変化させて第一スイッチ素子21Sをオンする。このようにして、第一スイッチ素子21Sのオンに対してZVSが行われる。

【0098】第一スイッチ素子21Sがオンすると一次巻線3aに電圧($VC - Vin$)が印加される。すると、一次巻線3aを流れる電流I3の向きが急激に反転する。一方、第一の二次巻線3bには実質的な起電力($VC - Vin$)/ n が、第二の二次巻線3cには実質的な起電力($Vin - VC$)/ n が、それぞれ発生する。それ故、第二整流用ダイオード4cがオンして平滑用インダクタ5に実質上定電圧($(Vin - VC)/n - Vout$)が印加される。すると、平滑用インダクタ5を流れる電流I5は直線的に増加する。その結果、一次巻線3aを時刻T3以前とは逆向きに流れる電流I3は直線的に増加する。

【0099】時刻T5にスイッチング制御回路7がスイッチング信号G1をHからLへと変化させて第一スイッチ素子21Sをオフする。すると、一次巻線3aの漏れインダクタンスと、第一寄生コンデンサ21C、第二寄生コンデンサ22C及び第四コンデンサ24Cと、が共振し、第一寄生コン

デンサ21Cが充電すると同時に、第二寄生コンデンサ22C及び第四寄生コンデンサ24Cが放電する。これにより、第一スイッチ素子21Sの両端の電圧V21が0から、かつ、第四スイッチ素子24Sの両端の電圧V24が最小値($V_C - V_{in}$)からそれぞれ増加すると共に、第二スイッチ素子22Sの両端の電圧V22が最大値 V_{in} から減少する。第一スイッチ素子21Sの両端の電圧V21が電圧値($V_{in} - V_C$)に、かつ、第二スイッチ素子22Sの両端の電圧V22が電圧値 V_C に達すると同時に、第四スイッチ素子24Sの両端の電圧V24が0に達する。すると、第四ダイオード24Dがオンする。その後の時刻T6に、スイッチング制御回路7がスイッチング信号G4をLからHへと変化させて第四スイッチ素子24Sをオンする。このようにして、第四スイッチ素子24Sのオンに対してZVSが行われる。

【0100】時刻T6以後しばらくは、第四ダイオード24D又は第四スイッチ素子24S、及び、既にオンしている第三スイッチ素子23Dを通して、一次巻線3aが短絡される。この時、一次巻線3aに印加される電圧V3が実質的に0であるので、平滑用インダクタ5には実質上定電圧(- V_{out})だけが印加される。従って、平滑用インダクタ5を流れる電流I5は直線的に減少し、その結果、一次巻線3aを流れる電流I3に含まれる一次側換算電流が電流I5同様に直線的に減少する。一方、一次巻線3aに印加される電圧V3が実質的に0であるので、一次巻線3aを流れる電流I3に含まれる励磁電流が実質的に一定に維持されている。従って、一次巻線3aを流れる電流I3は直線的に減少する。

【0101】時刻T7にスイッチング制御回路7がスイッチング信号G3をHからLへと変化させて第三スイッチ素子23Sをオフする。すると、一次巻線3aの漏れインダクタンスと、第一寄生コンデンサ21C、第二寄生コンデンサ22C及び第三寄生コンデンサ23Cと、が共振し、第一寄生コンデンサ21C及び第三寄生コンデンサ23Cが充電すると同時に、第二寄生コンデンサ22Cが放電する。これにより、第一スイッチ素子21Sの両端の電圧V21が電圧値($V_{in} - V_C$)から、かつ、第三スイッチ素子23Sの両端の電圧V23が0からそれぞれ増加すると共に、第二スイッチ素子22Sの両端の電圧V22が電圧値 V_C から減少する。第一スイッチ素子21Sの両端の電圧V21が最大値 V_{in} に、第三スイッチ素子23Sの両端の電圧V23が電圧値 V_C にそれぞれ達すると同時に、第二スイッチ素子22Sの両端の電圧V22が0に達する。すると、第二ダイオード22Dがオンする。その後の時刻T8に、スイッチング制御回路7がスイッチング信号G2をLからHへと変化させて第二スイッチ素子22Sをオンする。このようにして、第二スイッチ素子22Sのオンに対してZVSが行われる。第二スイッチ素子22Sがオンすると一次巻線3aに電圧 V_C が印加される。すると、一次巻線3aを流れる電流I3の向きが再び急激に反転する。こうして、時刻T0の時の状態が再現されて、以上述べたような動作が繰り返される。

【0102】実施例2のデッドタイム、すなわち、期間T1～T2、T3～T4、T5～T6、及び、T7～T8の時間は、各スイッチ素子が安定にオン又はオフしている期間T0～T1、T2～T3、T4～T5、及び、T6～T7の時間に比べて一般に十分短い。実施例2では、前者が数 μ sec程度であるのに對して、後者が数十～数百nsec程度である。そこで、デッドタイムを無視する近似を行うと、以下のようにして入力電圧 V_{in} と出力電圧 V_{out} との関係が求まる。

【0103】第二スイッチ素子22Sのオン期間T0～T1の時間と、第一スイッチ素子21Sのオン期間T4～T5の時間とがいずれもTonであるとする。上記のように平滑用インダクタ5に印加される電圧は、オン期間T0～T1では($V_C / n - V_{out}$)、オン期間T4～T5では(($V_{in} - V_C$) / n - V_{out})である。従って、平滑用インダクタ5に蓄えられる磁束が($V_{in} / n - V_{out}$) × Tonだけ増加する。

【0104】一方、第二スイッチ素子22Sのオフから第一スイッチ素子21Sのオンまでの期間T1～T4の時間と、第一スイッチ素子21Sのオフから第二スイッチ素子22Sのオンまでの期間T5～T8の時間とがいずれもToffであるとする。それぞれの期間では上記のように平滑用インダクタ5に電圧(- V_{out})が印加されるので、平滑用インダクタ5に蓄えられる磁束が $V_{out} \times Toff$ だけ減少する。

【0105】従って、平滑用インダクタ5の磁束の増加分と減少分とが釣り合うための条件、すなわち、平滑用インダクタ5のリセット条件が実施例1の式(1)のように表される。従って、出力電圧 V_{out} は入力電圧 V_{in} と実施例1の式(2)のように関係する。つまり、実施例2では、第一スイッチ素子21Sと第二スイッチ素子22Sとのオン・オフの時比率 δ を制御することにより、出力電圧 V_{out} が実質上一定値に安定に維持される。更に、スイッチ素子21S、22S、23S、及び、24Sはいずれも上記のようにZVSによりオンるので、スイッチング損失が小さい。

【0106】電流検出用抵抗29を流れる入力電流I29は、第二スイッチ部22を流れる電流I22及び第二コンデンサ1C2から第二入力端子1b側へと流れる電流の和に等しい。従って、図8に示されているように、入力電流I29のパルス波形は変化する。

【0107】第三スイッチ部23及び第四スイッチ部24は上記のように各デッドタイムにおいて生じる共振に寄与し、電流又は電圧の変化をなだらかにする、いわゆるスナバとして動作する。特に、接続点Q2の電圧が電圧 V_C に一致するとトランジスタ3の一次巻線3aを短絡し、第一コンデンサ1C1及び第二コンデンサ1C2等へ必要以上の電流が流れ込むのを防ぐ。それにより、サーボ電流及びサーボ電圧が発生しない。

【0108】〔軽負荷時の動作〕図9は、軽負荷時において実施例2の回路の各部分に生じる電圧又は電流のパルス波形である。図8と図9とにおいて同じ符号で表されている電圧又は電流は、それぞれ実施例2の回路における

る同じ部分のものであるので、その説明は実施例2のものを援用する。図8に示されている重負荷時と比べ、図9に示されている軽負荷時では平滑用インダクタ5に流れる電流I5の大きさ、従って、トランス3の一次巻線3aに流れる電流I3の大きさ、及び、電流検出用抵抗29を流れる入力電流I29の大きさがいずれも小さい。

【0109】遅延回路28は、入力電流I29のパルスの大きさが所定の閾値より小さいことを検出して、スイッチング制御回路7から入力したスイッチング信号G1及びG2を後述のように設定される遅延時間だけ遅延させる。実施例2では上記の閾値が、好ましくは、重負荷時における入力電流I29のパルスの大きさに対して約20%程度に設定されている。スイッチング信号G1及びG2が重負荷時より所定の遅延時間だけ遅れて第一スイッチ素子21S及び第二スイッチ素子22Sへ出力される。従って、図8と図9とを比べれば明らかなように、期間T3～T4の時間及び期間T7～T8の時間がそれぞれ重負荷時より長い。

【0110】重負荷時における実施例2のパルス波形(図8)と実施例1のパルス波形(図16)とを、軽負荷時における実施例2のパルス波形(図9)と実施例1のパルス波形(図2)とをそれぞれ比較すれば明らかなように、一次巻線3aに印加される電圧V3及びそれを流れる電流I3とは実質的に同じパルス波形である。更に、実施例1及び実施例2はトランス3の二次側において実質的に同じ構成を有する。従って、軽負荷時にZVS条件を満たし得る実施例2のデッドタイムが、以下に述べるように実施例1と実質的に同様に設定され得る。

【0111】以下、期間T3～T4に実施例2のスイッチング電源装置が行う動作を、重負荷時と軽負荷時とを対比しつつ説明する。期間T7～T8における動作は対称的であるので、以下の説明から容易に理解できるであろう。その他の期間における動作は重負荷時と同様である。従って、期間T3～T4以外の期間における動作の説明は省略する。

【0112】時刻T3直前では第三スイッチ部23及び第四スイッチ部24が導通していて一次巻線3aを短絡している。つまり、一次巻線3aに印加される電圧V3は実質的に0であるので、二次巻線3b及び3cには一次側からの起電力が実質的に発生していない。この時、第一の二次側電流I3bが二次巻線3bを第一整流用ダイオード4bの順方向に流れていると同時に、第二の二次側電流I3cが二次巻線3cを第二整流用ダイオード4cの順方向に流れている。この状態では、実施例1の説明の中で述べたように、一次側の動作に対しては一次巻線3aの漏れインダクタンスに蓄えられた磁気エネルギーだけが寄与する。

【0113】時刻T3に第四スイッチ素子24Sがオフすると、一次巻線3aの漏れインダクタンスと、第一寄生コンデンサ21C、第二寄生コンデンサ22C及び第四寄生コンデンサ24Cと、が共振し、第二寄生コンデンサ22C及び第四寄生コンデンサ24Cが充電すると同時に、第一寄生コン

デンサ23Cが放電する。これにより、第二スイッチ素子22Sの両端の電圧V22が電圧値VCから増加すると共に、第一スイッチ素子21Sの両端の電圧V21が電圧値(Vin-VC)から、かつ、第四スイッチ素子24Sの両端の電圧V24が0から、それぞれ減少する。従って、一次巻線3aに印加される電圧V3が負の向きに増大する。すると、一次側からの起電力が二次巻線3b及び3cに発生し、第一の二次巻線3bでは第一の二次側電流I3bを減らすように、一方、第二の二次巻線3cでは第二の二次側電流I3cを増やすようになり、それぞれ作用する。

【0114】【(A) 重負荷時における期間T3～T4の動作】時刻T3近傍における一次巻線3aの電圧V3及び電流I3のパルス波形を拡大すると、重負荷時では図3(a)と実質的に同じである。重負荷時では、平滑用インダクタ5を流れる電流I5が十分大きい、すなわち、第一の二次側電流I3bが十分大きい。それ故、図3(b)に示されているように、第一の二次側電流I3bが第一の二次巻線3bを、第二の二次側電流I3cが第二の二次巻線3cを、それぞれ同時に流れている状態で、第一スイッチ素子21Sの両端の電圧V21が0に達し得る。

【0115】時刻T3以後、第一スイッチ素子21Sの両端の電圧V21が0に達する時刻T31まで、一次巻線3aの漏れインダクタンスL1と、第一寄生コンデンサ21C、第二寄生コンデンサ22C及び第四寄生コンデンサ24Cとの共振により、図3(a)に示されているように、一次巻線3aを流れる電流I3は実質上正弦波的に減少する。この実質上の正弦波の周期、すなわち、共振周期は、一次巻線3aの漏れインダクタンスL1と、第一寄生コンデンサ21C、第二寄生コンデンサ22C及び第四寄生コンデンサ24Cの合成静電容量と、の積のルートに比例する。時刻T31以後は第一ダイオード21Dがオンしているので、第一スイッチ素子21Sの両端の電圧V21が0のまま維持される。従って、一次巻線3aを流れる電流I3が0になり流れの向きを反転させる直前の時刻T32までに第一スイッチ素子21Sをオンすれば、第三スイッチ素子23Sのオンに対してZVSが実現できる。

【0116】期間T3～T31の時間は、第一スイッチ素子21Sの両端の電圧V21が0に達するように第一寄生コンデンサ21C、第二寄生コンデンサ22C及び第四寄生コンデンサ24Cから移動させるべき電荷量、すなわち、図3(a)の斜線部の面積で決まる。時刻T31以後電圧V3が一定値(-Vin)に保たれるので、電流I3は直線的に減少する。この直線的減少の傾きは、二次側電流I3b及びI3cが同時に流れている間、一次巻線3aの漏れインダクタンスL1に反比例する。更に、電流I3の変化の傾きは時刻T31直前と時刻T31直後とで実質的に等しい。従って、期間T3～T31における共振の実質的な共振周期の1/4は期間T3～T31の時間より長く、期間T3～T32の時間より短い。それ故、デッドタイムを上記の実質的な共振周期の1/4に設定すれば、ZVS条件が満たされる。

【0117】時刻T3以後、第一の二次巻線3bを流れる第一の二次側電流I3bは減少し続ける。重負荷時では実施例1同様、第一の二次側電流I3bが0になり第一整流用ダイオード4bがオフする時刻T4bは、図3(a)に示されているように時刻T31より後である。時刻T4bに達すると、図3(b)に示されているように、第一の二次側電流I3bが0となり、第二の二次側電流I3cだけが第二の二次巻線3cを流れるようになるので、実施例1同様、一次巻線3aの電流I3は一次巻線3aの自己インダクタンスLに反比例する傾きで直線的に減少し、又は、向きを反転させた後ではその大きさを増大させていく。

【0118】[(B) 軽負荷時における期間T3～T4の動作] 実施例1と同様に、負荷電流の時間平均的大きさが小さくなってくると、やがて、時刻T4bは時刻T31と実質的に一致するようになる。実施例2においても、軽負荷時は、負荷電流の時間平均的大きさがこの時の大きさ以下になっている状態に相当する。実施例1の(B)に対応する軽負荷時、時刻T3近傍においてトランジスト3の一次巻線3aに印加される電圧V3、及び、一次巻線3aを流れる電流I3のパルス波形を拡大すると、実施例1の図4(a)と実質的に同様である。実施例1の(B)に対応する軽負荷時では、第一スイッチ素子21Sの両端の電圧V21が0に達する時刻T31の前に、第一整流用ダイオード4bがオフする時刻T4bへ達する。

【0119】図4(b)に示されているように、期間T3～T4bまでは二次巻線3b及び3cのいずれにも二次側電流I3b及びI3cが流れているので、一次側の動作に対しては一次巻線3aの漏れインダクタンスL1だけが寄与する。従って、期間T3～T4bで一次巻線3aを流れる電流I3は、一次巻線3aの漏れインダクタンスL1と、第一寄生コンデンサ21C、第二寄生コンデンサ22C及び第四寄生コンデンサ24Cとの共振により、実質上正弦波的に減少する。期間T4b～T31では、図4(b)に示されているように、第二の二次側電流I3cだけが流れているので、一次巻線3aの自己インダクタンスLが一次側の動作に対して寄与する。従って、実施例1同様、共振周期は時刻T4bでそれ以前よりもかなり大きくなり、図4(a)に示されているように、電流I3の減少がかなりなだらかになる。

【0120】時刻T31以後は第一ダイオード21Dがオンし、第一スイッチ素子21Sの両端の電圧V21が0のまま維持される。更に、重負荷時同様、電圧V3が一定値($-Vi_n$)に保たれるので、電流I3は一次巻線3aの自己インダクタンスLに反比例する傾きで直線的に減少する。時刻T32に一次巻線3aを流れる電流I3が0になり、その後から流れの向きを反転させる。従って、期間T31～T32に第一スイッチ素子21Sをオンすれば、第一スイッチ素子21Sのオンに対してZVSが実現できる。実施例1同様、軽負荷時では時刻T3での電流I3の大きさが小さい一方、共振周期が時刻T4bで大きくなり、時刻T3から電流I3が0になるまでの時間が長くなる。それ故、期間T3～T4の時間、

すなわち、デッドタイムを長くするとZVS条件が満たされ得る。

【0121】[(C) (B)の軽負荷時より負荷電流が更に小さい時の期間T3～T4の動作] 実施例1の(C)に対応する軽負荷時、時刻T3近傍においてトランジスト3の一次巻線3aに印加される電圧V3、及び、一次巻線3aを流れる電流I3のパルス波形を拡大すると、図5(a)と実質的に同じである。実施例1同様、(B)の軽負荷時より負荷電流の時間平均的大きさが更に小さくなると、第三コンデンサ13Cの両端の電圧が0となる時刻T31が遅くなる一方、期間T3～T4bの時間が一次巻線3aの漏れインダクタンスL1だけによる共振の周期の実質上1/4程度に止まるようになる。それ故、負荷電流の時間平均的大きさが十分小さくなると、図5(a)に示されているように、一次巻線3aの自己インダクタンスLによる共振時間(期間T4b～T31)は、漏れインダクタンスL1だけによる共振時間(期間T3～T4b)を十分無視できる程長くなる。この程度の軽負荷時では、期間T3～T4の時間、すなわち、デッドタイムを一次巻線3aの自己インダクタンスLで決まる共振周期の1/4に設定すれば、ZVS条件が満たされ得る。

【0122】一次巻線3aと第一寄生コンデンサ21C、第二寄生コンデンサ22C及び第四寄生コンデンサ24Cとの共振周期は、実施例1同様、一次巻線3aの自己インダクタンスLで決まるもの以上には実質上大きくならない。それ故、更に軽負荷の度合いが進み、すなわち、時刻T3での電流I3の大きさが更に小さくなると、ZVS条件を満たし得るデッドタイムは存在しなくなる。

【0123】実施例2において、負荷電流の時間平均的大きさに対してZVS条件を満たし得るデッドタイムの範囲の概略は、実施例1同様図6のようになる。従って、デッドタイムを負荷電流の大きさに合わせて図6が示す範囲に含まれるように変化させれば、負荷電流の大きさに関わらず、常にデッドタイムがZVS条件を満たすようにできる。実施例2においても実施例1と同様に、矢印Bの範囲に閾値Ithを定め、負荷電流が閾値Ithより実質的に大きい場合図6のD1に、負荷電流が閾値Ithより実質的に小さい場合図6のD2に、それぞれデッドタイムを設定する。すなわち、図6の破線で示されている折線D上にデッドタイムを設定する。

【0124】実施例1同様、重負荷時にデッドタイムを図6のD1に設定することは、従来のスイッチング制御回路7(図7)で既に行われている。実施例2では従来の設定に加えて、負荷電流が閾値Ithより実質的に小さい場合、遅延回路28の遅延時間をD2-D1=D2(何故なら、D2>D1)に設定する。負荷電流の時間平均的大きさは入力電流I29のパルスの大きさと相関するので、負荷電流に対する上記の閾値Ithに対応する入力電流I29に対する閾値I29thが設定され得る。閾値I29thより入力電流I29が実質的に小さければ、負荷電流も閾値Ithより実質的に小さいとわかる。こうして、実施例2では遅延回路28に

より、軽負荷時でも第一スイッチ素子21SのオンにおいてZVSを行い得るようにデッドタイムを設定できる。

【0125】図6のZVS条件を満たす範囲は負荷電流に対する下限Iminを有する。下限Iminより小さい負荷電流に対しては、ZVS条件を満たし得るデッドタイムが存在しない。しかし、この場合でも上記のようにデッドタイムをD2に設定しておけば、D1に設定したままよりも、時刻T4(図2)で第一コンデンサ21C(図7)に残留する電荷量が少ない。従って、時刻T4でのスイッチング損失が従来よりも少ない。

【0126】実施例2では図6に示す折線Dのように、負荷電流の大きさに対する閾値Ithを境に離散的にデッドタイムを設定した。その他に、図6に示されている矢印Bの範囲でZVS条件を満たす範囲から外れないように、デッドタイムを直線的あるいは曲線的に変化させても良い。

【0127】《実施例3》以下本発明の実施例3について説明する。実施例3は、補助巻線を含むハーフブリッジ型コンバータを有するスイッチング電源装置において本発明を実施したものである。図10は実施例3のスイッチング電源装置の回路を示す。ここで、実施例2(図7)と共に構成要素には同じ符号を付して、その説明は実施例2のものを援用する。

【0128】実施例3ではトランジスト3が補助巻線3sを有する。補助巻線3sと一次巻線3aとの巻数比は1:1である。補助巻線3sに印加される電圧Vsは常に一次巻線3aに印加される電圧V3と実質的に等しい。実施例2とは異なり、第三スイッチ部33及び第四スイッチ部34が補助巻線3sへ並列に接続される。第三スイッチ部33及び第四スイッチ部34は、第一スイッチ部21及び第二スイッチ部22と同様、並列に接続されたスイッチ素子、ダイオード及びコンデンサを含む。第三スイッチ部33のアノード端33bと第四スイッチ部34のアノード端34bとが互いに接続される。第三スイッチ部33と第四スイッチ部34との接続点R3が第二入力端子1bへ接続される。

【0129】スイッチ素子33S及び34Sは好ましくはMOSFETから成る。その他に、バイポーラトランジスタ又はIGBTであっても良い。第三ダイオード33D及び第四ダイオード34Dは互いにアノードを接続点R3へ接続される。ダイオード33D及び34Dはスイッチ素子33S及び34Sに対して独立な素子であっても良い。スイッチ素子33S及び34SがMOSFETである場合、好ましくはダイオード33D及び34Dが各スイッチ素子の寄生ダイオードである。寄生コンデンサ33C及び34Cはスイッチ素子33S及び34Sに対して等価的に並列に接続された寄生コンデンサである。寄生コンデンサ33C及び34Cは各スイッチ素子自身の寄生コンデンサだけでなく、配線及び補助巻線3sの寄生コンデンサも等価的に含む。更に、寄生コンデンサ33C及び34Cは独立な素子としてのコンデンサを含んでいても良い。

【0130】出力電流検出用抵抗39は、第一の二次巻線3bと第二の二次巻線3cとの接続点R、及び、平滑用コンデンサ6の第二出力端子2bへ接続された方の端、との間に直列に接続されている。出力電流検出用抵抗39の抵抗値は、その両端で電流I5が実質的に同じ電流量と見なせる程度に十分小さい。遅延回路38は、出力電流検出用抵抗39の両端と接続され、それを流れる電流I5による電圧降下量を測定して所定の閾値と比較する。それにより、出力電流検出用抵抗39を流れる電流I5の大きさを所定の閾値と比較する。比較の結果、電流I5の大きさがその閾値より実質的に小さい場合、遅延回路38はスイッチング制御回路7からのスイッチング信号G1及びG2を実施例2と同様に設定された遅延時間だけ保持した後、第一スイッチ素子21S及び第二スイッチ素子22Sへ出力する。

【0131】図8及び図9に示されているように、実施例2の第三スイッチ素子23S及び第四スイッチ素子24Sと実質的に同じタイミングで、実施例3の第三スイッチ素子33S及び第四スイッチ素子34Sをそれぞれオンオフさせる。すると、上記のように一次巻線3aと補助巻線3sとそれに印加される電圧が常に実質的に等しいので、実施例3の動作は実施例2と実質的に同一である。但し、期間T2~T3及びT6~T7において、実施例2では一次巻線3aが短絡されるのに対して、実施例3では補助巻線3sが短絡され、一次巻線3aには電流が実質上流れない。実施例3は実施例2と実質的に同じ動作をするので、軽負荷時において実施例2と同様にデッドタイムを長くすれば、第一スイッチ素子21S及び第二スイッチ素子22Sのオンに対してZVSを実現できる。

【0132】実施例3では第三スイッチ素子33Sと第四スイッチ素子34Sとの接続点R3が第二入力端子1bに接続されるので、その電位が常に一定である。従って、スイッチング制御回路7から第三スイッチ素子23S及び第四スイッチ素子24Sへ出力されるスイッチング信号G3及びG4の高電位(H)及び低電位(L)それぞれのレベルを一定に維持できる。

【0133】《実施例4》以下本発明の実施例4について説明する。実施例4はブッシュ型コンバータを有するスイッチング電源装置において本発明を実施したものである。

【実施例4の回路の構成】図11は実施例4のスイッチング電源装置の回路を示す。ここで、実施例3(図10)と共に構成要素には同じ符号を付して、その説明は実施例3のものを援用する。実施例3同様、直流電源又は交流電源を整流して得られた実質的な直流電源が入力端子1a及び1bに接続される。ここで、直流電源からの入力電圧をVinとし、高電位側が第一入力端子1aに、低電位側が第二入力端子1bに、それぞれ接続される。

【0134】実施例4の回路は、トランジスト3の二つの一次巻線3a1及び3a2、並びに、四つのスイッチ部41、42、43及び44を有する。第一の一次巻線3a1及び第二の一次

巻線3a2は、接続点P4で互いに直列に接続されている。接続点P4は第一入力端子1aに接続されている。一次巻線3a1及び3a2、並びに、二次巻線3b及び3c、それぞれの巻数比をn:n:1:1とする。スイッチ部41、42、43及び44は、実施例3のスイッチ部と同様、並列に接続されたスイッチ素子、ダイオード及びコンデンサを含む。第一スイッチ部41はカソード端41aを第一の一次巻線3a1の接続点P4とは逆側の端、アノード端41bを第二入力端子1bへ、それぞれ接続される。第二スイッチ部42はカソード端42aを第二の一次巻線3a2の接続点P4とは逆側の端へ、アノード端42bを第二入力端子1bへ、それぞれ接続される。第三スイッチ部43のアノード端43bと第四スイッチ部44のアノード端44bとが接続される。第三スイッチ部43のカソード端43aが第一スイッチ部41と第一の一次巻線3a1との間の接続点Q4へ、第四スイッチ部44のカソード端44aが第二スイッチ部42と第二の一次巻線3a2との間の接続点R4へ、それぞれ接続される。

【0135】スイッチ素子41S、42S、43S及び44Sは、好ましくは、MOSFETから成る。その他に、バイポーラトランジスタ又はIGBTであっても良い。ダイオード41D、42D、43D及び44Dは、好ましくは、スイッチ素子41S、42S、43S及び44Sの寄生ダイオードである。その他に、ダイオード41D、42D、43D及び44Dがスイッチ素子41S、42S、43S及び44Sに対して独立な素子であっても良い。四つの寄生コンデンサ41C、42C、43C及び44Cは、スイッチ素子41S、42S、43S及び44Sに対して等価的に並列に接続された寄生コンデンサである。寄生コンデンサ41C、42C、43C及び44Cは各スイッチ素子自身の寄生コンデンサだけでなく、配線及び後述するトランス3の寄生コンデンサも等価的に含む。更に、寄生コンデンサ41C、42C、43C及び44Cは独立な素子としてのコンデンサを含んでいても良い。スイッチング制御回路7及びトランス3の二次側の構造は実施例3と同様であるので、その説明は実施例3のものを援用する。

【0136】【重負荷時における動作】実施例4のスイッチング電源装置は重負荷時では以下のように動作する。図11に示されているように、入力端子1a及び1b間に入力電圧Vinが、出力端子2a及び2b間に出力電圧Voutがそれぞれ印加されている。入力電圧Vin及び出力電圧Voutはそれぞれ実質上一定に維持されている。

【0137】重負荷時においては、後述するように電流I5の平均的大きさが十分に大きい。その結果、遅延回路38はスイッチング信号G1及びG2を実質上遮延させない。図12は、重負荷時、実施例4の回路の各部分における電圧又は電流のパルス波形を示す図である。図12に示されているスイッチング信号G1、G2、G3、G4、電圧V3、電流I3及びI5はいずれも実施例2のもの(図8)と同様である。電圧V41、V42、V43及びV44はそれぞれスイッチ部41、42、43及び44に印加される電圧である。それぞれの極性は図11に示されている矢印の向き、すなわち、第二

入力端子1b側の端に対するトランス3側の端の電位を正としてそれぞれ定義される。電流I41、I42、I43及びI44はそれぞれスイッチ部41、42、43及び44を流れる電流である。その極性は図11に示されている矢印の向き、すなわち、トランス3側の端から第二入力端子1b側の端へ向かう向きを正として定義される。電流V3a1は第一の一次巻線3a1に印加される電圧である。その極性は図11に示されている矢印の向き、すなわち、第一スイッチ部41側の端の接続点P4に対する電位を正として定義される。電流V3a2は第二の一次巻線3a2に印加される電圧である。その極性は図11に示されている矢印の向き、すなわち、接続点P4の第二スイッチ部42側の端に対する電位を正として定義される。但し、一次巻線3a1及び3a2の巻数が実質的に等しいので、電圧V3a2は電圧V3a1と実質的に等しい。電流I3a1は第一の一次巻線3a1を流れる電流である。その極性は図11に示されている矢印の向き、すなわち、第一スイッチ部41側の端から接続点P4へ向かう向きを正として定義される。電流I3a2は第二の一次巻線3a2を流れる電流である。その極性は図11に示されている矢印の向き、すなわち、接続点P4から第二スイッチ部42側の端へ向かう向きを正として定義される。

【0138】時刻T0にスイッチング制御回路7がスイッチング信号G2をLからHへと変化させて第二スイッチ素子42Sをオンする。すると、第二の一次巻線3a2に印加される電圧V3a2は実質的にVinに等しく、電流I3a2が第一入力端子1aから第二入力端子1bへ向かう向きに流れる。この時、第一の二次巻線3bに実質的な起電力Vin/nが、第二の二次巻線3cに実質的な起電力(-Vin/n)がそれぞれ発生する。ここで、入力電圧Vinは出力電圧Voutより十分大きいのでVin/n > Voutが成立する。第一整流用ダイオード4b又は第二整流用ダイオード4cにより平滑用インダクタ5に実質的に定電圧(Vin/n - Vout)が印加される。それ故、平滑用インダクタ5を流れる電流I5は直線的に増加する。一方、第一の一次巻線3a1に発生する起電力は実質的にVinに等しく、第一寄生コンデンサ41Cの両端の電圧V41、及び、第三寄生コンデンサ43Cの両端の電圧V43は実質的に2Vinに等しい。それ故、第一の一次巻線3a1を流れる電流I3a1は実質的に0である。

【0139】期間T0～T1では第二の一次巻線3a2に印加される電圧V3a2が実質的に一定な値Vinを維持しているので、電流I3a2に含まれる励磁電流は実質上直線的に増加する。一方実施例2同様、一次側換算電流は実質上直線的に増加する。結局、第二の一次巻線3a2の電流I3a2は実質上直線的に増加する。

【0140】時刻T1にスイッチング制御回路7がスイッチング信号G2をHからLへと変化させて第二スイッチ素子42Sをオフする。すると、一次巻線3a1及び3a2の漏れインダクタンスと、第一寄生コンデンサ41C、第二寄生コンデンサ42C及び第三寄生コンデンサ43Cと、が共振し、第二寄生コンデンサ42Cが充電すると同時に、第一寄生

コンデンサ41C及び第三寄生コンデンサ43Cが放電する。これにより、第二寄生コンデンサ42Cの両端の電圧V42が0から増加し、第一寄生コンデンサ41Cの両端の電圧V41及び第三寄生コンデンサ43Cの両端の電圧V43が最大値 V_{in} からそれぞれ減少する。第一寄生コンデンサ41Cの両端の電圧V41及び第二寄生コンデンサ42Cの両端の電圧V42が電圧値 V_{in} へ達すると同時に、第三寄生コンデンサ43Cの両端の電圧V43が0に達する。すると、第三ダイオード43Dがオンする。その直後の時刻T2にスイッチング制御回路7がスイッチング信号G3をLからHへと変化させて第三スイッチ素子43Sをオンする。このようにして、第三スイッチ素子43Sのオンに対してZVSが行われる。

【0141】時刻T2以後しばらくは、第三ダイオード43D又は第三スイッチ素子43S、及び、既にオンしている第四スイッチ素子44Sを通して、一次巻線3a1及び3a2が短絡される。この時、一次巻線3a1及び3a2に印加される電圧V3a1及びV3a2がいすれも実質的に0であるので、平滑用インダクタ5には実質上定電圧($-V_{out}$)だけが印加される。従って、平滑用インダクタ5を流れる電流I5は直線的に減少し、その結果、一次巻線3a1及び3a2を流れる電流I3に含まれる一次側換算電流が電流I5同様に直線的に減少する。一方、一次巻線3a1及び3a2に印加される電圧V3a1及びV3a2が実質的に0であるので、一次巻線3a1及び3a2を流れる電流I3a1及びI3a2に含まれる励磁電流が実質的に一定に維持される。以上の結果、一次巻線3a1及び3a2を流れる電流I3a1及びI3a2の大きさは直線的に減少する。

【0142】時刻T3にスイッチング制御回路7がスイッチング信号G4をHからLへと変化させて第四スイッチ素子44Sをオフする。すると、一次巻線3a1及び3a2の漏れインダクタンスと、第一寄生コンデンサ41C、第二寄生コンデンサ42C及び第四寄生コンデンサ44Cと、が共振し、第二寄生コンデンサ42C及び第四寄生コンデンサ44Cが充電すると同時に、第一寄生コンデンサ43Cが放電する。これにより、第二寄生コンデンサ42Cの両端の電圧V42が電圧値 V_{in} から増加し、第一寄生コンデンサ41Cの両端の電圧V41が電圧値 V_{in} から、かつ、第四寄生コンデンサ44Cの両端の電圧V44が0からそれぞれ減少する。第二寄生コンデンサ42Cの両端の電圧V42が最大値 $2V_{in}$ に、かつ、第四寄生コンデンサ44Cの両端の電圧V44が最小値($-2V_{in}$)に達すると同時に、第一寄生コンデンサ41Cの両端の電圧V41が0に達する。すると、第一ダイオード41Dがオンする。その後の時刻T4にスイッチング制御回路7がスイッチング信号G1をLからHへと変化させて第一スイッチ素子41Sをオンする。このようにして、第一スイッチ素子41Sのオンに対してZVSが行われる。

【0143】第一スイッチ素子41Sがオンすると第一の一次巻線3a1に電圧($-V_{in}$)が印加される。すると、第一の一次巻線3a1を流れる電流I3a1の向きが急激に反転する。一方、第二の一次巻線3a2に発生する起電力が実質

的に($-V_{in}$)であり、第二の一次巻線3a2に印加される電圧 $V_{3a2}=V_{in}$ と実質的に等しい。その結果、第二の一次巻線3a2に流れる電流I3a2が急激に0になる。この時、第一の二次巻線3bには実質的な起電力($-V_{in}$)/ n が、第二の二次巻線3cには実質的な起電力 V_{in}/n がそれぞれ発生する。それ故、第二整流用ダイオード4cがオンして平滑用インダクタ5に実質上定電圧($V_{in}/n-V_{out}$)が印加される。すると、平滑用インダクタ5を流れる電流I5は直線的に増加する。その結果、第一の一次巻線3a1を流れる電流I3a1は直線的に増加する。

【0144】時刻T5にスイッチング制御回路7がスイッチング信号G1をHからLへと変化させて第一スイッチ素子41Sをオフする。すると、一次巻線3a1及び3a2の漏れインダクタンスと、第一寄生コンデンサ41C、第二寄生コンデンサ42C及び第四寄生コンデンサ44Cと、が共振し、第一寄生コンデンサ41Cが充電すると同時に、第二寄生コンデンサ42C及び第四寄生コンデンサ44Cが放電する。これにより、第一スイッチ素子41Sの両端の電圧V41が0から、かつ、第四スイッチ素子44Sの両端の電圧V44が最小値($-2V_{in}$)からそれぞれ増加し、第二寄生コンデンサ42Cの両端の電圧V42が最大値 $2V_{in}$ から減少する。第一寄生コンデンサ41Cの両端の電圧V41及び第二寄生コンデンサ42Cの両端の電圧V42が電圧値 V_{in} に達すると同時に、第四スイッチ素子44Sの両端の電圧V44が0に達する。すると、第四ダイオード44Dがオンする。その後の時刻T6に、スイッチング制御回路7がスイッチング信号G4をLからHへと変化させて第四スイッチ素子44Sをオンする。このようにして、第四スイッチ素子44Sのオンに対してZVSが行われる。

【0145】時刻T6以後しばらくは、第四ダイオード44D又は第四スイッチ素子44S、及び、既にオンしている第三スイッチ素子43Dを通して、一次巻線3a1及び3a2が短絡される。この時、一次巻線3a1及び3a2に印加される電圧V3a1及びV3a2が実質的に0であるので、平滑用インダクタ5には実質上定電圧($-V_{out}$)だけが印加される。従って、平滑用インダクタ5を流れる電流I5は直線的に減少し、その結果、電流I3a1及びI3a2に含まれる一次側換算電流が電流I5同様に直線的に減少する。一方、電圧V3a1及びV3a2が実質的に0であるので、電流I3a1及びI3a2に含まれる励磁電流が実質的に一定に維持されている。従って、電流I3a1及びI3a2は直線的に減少する。

【0146】時刻T7にスイッチング制御回路7がスイッチング信号G3をHからLへと変化させて第三スイッチ素子43Sをオフする。すると、一次巻線3a1及び3a2の漏れインダクタンスと、第一寄生コンデンサ41C、第二寄生コンデンサ42C及び第三寄生コンデンサ43Cと、が共振し、第一寄生コンデンサ41C及び第三寄生コンデンサ43Cが充電すると同時に、第二寄生コンデンサ42Cが放電する。これにより、第一寄生コンデンサ41Cの両端の電圧V41が電圧値 V_{in} から、第三寄生コンデンサ43Cの両端の電圧V4

3が0からそれぞれ増加すると共に、第二スイッチ素子42Sの両端の電圧V42が電圧値Vinから減少する。第一寄生コンデンサ41Cの両端の電圧V41及び第三寄生コンデンサ43Cの両端の電圧V43が電圧値2Vinに達すると同時に、第二スイッチ素子42Sの両端の電圧V42が0に達する。すると、第二ダイオード42Dがオンする。その直後の時刻T8に、スイッチング制御回路7がスイッチング信号G2をHへと変化させて第二スイッチ素子42Sをオンする。このようにして、第二スイッチ素子42Sのオンに対してZVSが行われる。

【0147】第二スイッチ素子42Sがオンすると第二の一次巻線3a2に電圧Vinが印加される。すると、電流I3a2の向きが急激に反転する。一方、第二の一次巻線3a2に発生する起電力が実質的に(-Vin)であり、第二の一次巻線3a2に印加される電圧V3a2=Vinと実質的に等しい。その結果、第二の一次巻線3a2に流れる電流I3a2が急激に0になる。こうして、時刻T0の時の状態が再現され、以上述べたような動作が繰り返される。

【0148】実施例4のデッドタイム、すなわち、期間T1～T2、T3～T4、T5～T6、及び、T7～T8の時間は、各スイッチ素子が安定にオン又はオフしている期間T0～T1、T2～T3、T4～T5、及び、T6～T7の時間に比べて一般に十分短い。実施例4では、前者が数μsec程度であるのに対し、後者が数十～数百nsec程度である。そこで、デッドタイムを無視する近似を行うと、実施例1と全く同様にして、入力電圧Vinと出力電圧Voutとの関係が実施例1の式(2)のように求まる。つまり、実施例4では、第一スイッチ素子41Sと第二スイッチ素子42Sとのオン・オフの時比率δを制御することにより、出力電圧Voutが実質上一定値に安定に維持される。更に、スイッチ素子41S、42S、43S、及び、44Sはいずれも上記のようにZVSによりオンするので、スイッチング損失が小さい。

【0149】実施例2同様、第三スイッチ部43及び第四スイッチ部44は上記のように各デッドタイムにおいて生じる共振に寄与し、電流又は電圧の変化をなだらかにし、いわゆるスナバとして動作する。特に、接続点Q4の電位が接続点R4の電位に一致すると一次巻線3a1及び3a2を短絡し、第一寄生コンデンサ41C及び第二寄生コンデンサ42C等へ必要以上の電流が流れ込むのを防ぐ。それにより、サージ電流及びサージ電圧が発生しない。

【0150】【軽負荷時の動作】図13は、軽負荷時において実施例4の回路の各部分に生じる電圧又は電流のパルス波形である。図12と図13において同じ符号で表されている電圧又は電流は、それぞれ同じ部分のものである。図12に示されている重負荷時と比べ、図13に示されている軽負荷時では平滑用インダクタ5に流れる電流I5の大きさ、従って、トランジスタ3の一次巻線3a1及び3a2にそれぞれ流れる電流I3a1及びI3a2の大きさが小さい。遅延回路38は、電流I5の大きさが所定の閾値より小さいことを検出して、スイッチング制御回路7から入力したス

イッキング信号G1及びG2を、後述のように設定される遅延時間だけ遅延させる。実施例4では上記の閾値が、好みしくは、重負荷時における電流I5の大きさに対して約20%程度に設定されている。スイッチング信号G1及びG2が重負荷時より所定の遅延時間だけ遅れて第一スイッチ素子41S及び第二スイッチ素子42Sへ出力される。従って、図12と図13とを比べれば明らかのように、期間T3～T4の時間及び期間T7～T8の時間がそれぞれ重負荷時より長い。

- 10 151】実施例4のパルス波形(図12及び図13)と実施例1及び実施例2とをそれぞれ比較する。すると、電流の極性が逆であること除いて、一次巻線3a1の電圧V3a1及び電流I3a1は、実施例1及び実施例2の一次巻線3aの電圧V3及び電流I3とそれぞれ実質的に同じパルス波形である。更に、実施例1、実施例2、及び、実施例4はいずれもトランジスタ3の二次側において実質的に同じ構成を有する。従って、軽負荷時にZVS条件を満たし得るデッドタイムが、以下に述べるように実施例1及び実施例2と実質的に同様に設定され得る。以下、期間T3～T4に実施例4のスイッチング電源装置が行う動作を、重負荷時と軽負荷時とを対比しつつ説明する。期間T7～T8における動作は対称的であるので、以下の説明から容易に理解できるであろう。その他の期間における動作は重負荷時と同様である。従って、期間T3～T4以外の期間における動作の説明は省略する。

- 15 152】時刻T3直前では第三スイッチ部43及び第四スイッチ部44が導通していて一次巻線3a1及び3a2を短絡している。つまり、一次巻線3a1及び3a2に印加される電圧V3a1及びV3a2はいずれも実質的に0であるので、二次巻線3b及び3cには一次側からの起電力が実質的に発生していない。この時、第一の二次側電流I3bが二次巻線3bを第一整流用ダイオード4bの順方向に流れていると同時に、第二の二次側電流I3cが二次巻線3cを第二整流用ダイオード4cの順方向に流れている。この状態では、実施例1の説明の中で述べたように、一次側の動作に対しては一次巻線3aの漏れインダクタンスに蓄えられた磁気エネルギーだけが寄与する。

- 20 153】時刻T3に第四スイッチ素子44Sがオフすると、一次巻線3a1及び3a2の漏れインダクタンスと、第一寄生コンデンサ41C、第二寄生コンデンサ42C及び第四寄生コンデンサ44Cと、が共振する。これにより、第二寄生コンデンサ42Cの両端の電圧V42が電圧値Vinから増加し、第一寄生コンデンサ41Cの両端の電圧V41が電圧値Vinから、かつ、第四寄生コンデンサ44Cの両端の電圧V44が0からそれぞれ減少する。従って、第一の一次巻線3a1に印加される電圧V3a1、及び、第二の一次巻線3a2に印加される電圧V3a2が、それぞれ等しく0から負の向きに増大する。すると、一次側からの起電力が二次巻線3b及び3cに発生し、第一の二次巻線3bでは第一の二次側電流I3bを減らすように、一方、第二の二次巻線3cでは第二

の二次側電流I3cを増やすように、それぞれ作用する。

【0154】【(A) 重負荷時における期間T3～T4の動作】時刻T3近傍における第一の一次巻線3a1の電圧V3a1及び電流I3a1のパルス波形を拡大すると、電流の極性が逆であることを除き、重負荷時では図3(a)と実質的に同じである。重負荷時では、実施例1及び実施例2と同様、二次側電流I3b及びI3cが共に流れている状態(図3(b))で、第一スイッチ素子41Sの両端の電圧V41が0に達し得る。

【0155】時刻T3以後、第一寄生コンデンサ41Cの両端の電圧V41が0に達する時刻T31まで、一次巻線3a1及び3a2の漏れインダクタンスと、第一寄生コンデンサ41C、第二寄生コンデンサ42C及び第四寄生コンデンサ44Cとの共振により、電流I3a1は実質上正弦波的に減少する。この実質上の共振周期は一次巻線3a1の漏れインダクタンスと、第一寄生コンデンサ41C、第二寄生コンデンサ42C及び第四寄生コンデンサ44Cの合成静電容量と、の積のルートに実質的に比例する。

【0156】時刻T31以後は第一ダイオード41Dがオンしているので、第一スイッチ素子41Sの両端の電圧V41が0のまま維持される。従って、電流I3a1が0になり流れの向きを反転させる直前の時刻T32までに第一スイッチ素子41Sをオンすれば、第三スイッチ素子43Sのオンに対してZVSが実現できる。

【0157】期間T3～T31の時間は、第一スイッチ素子41Sの両端の電圧V41が0に達するよう第一寄生コンデンサ41C、第二寄生コンデンサ42C及び第四寄生コンデンサ44Cから移動させるべき電荷量、すなわち、図3(a)の斜線部の面積で決まる。時刻T31以後電圧V3a1が一定値(-Vin)に保たれるので、電流I3a1は直線的に減少する。この時、二次巻線3b及び3cをそれぞれ二次側電流I3b及びI3cが流れている一方、第二の一次巻線3a2には電流I3a2が流れていないので、上記の直線的減少の傾きは第一の一次巻線3a1の漏れインダクタンスに実質的に反比例する。更に、電流I3a1の変化の傾きは時刻T31直前と時刻T31直後とで実質的に等しい。従って、期間T3～T31における共振の実質的な共振周期の1/4は期間T3～T31の時間より長く、期間T3～T32の時間より短い。それ故、デッドタイムを上記の実質的な共振周期の1/4に設定すればZVS条件が満たされる。

【0158】【(B) 軽負荷時における期間T3～T4の動作】実施例1の(B)に対応する軽負荷時、時刻T3近傍において一次巻線3a1に印加される電圧V3a1、及び、一次巻線3a1を流れる電流I3a1のパルス波形を拡大すると、電流の極性が逆であることを除き、実施例1の図4(a)と実質的に同様である。実施例1の(B)に対応する軽負荷時では、第一スイッチ素子21Sの両端の電圧V21が0に達する時刻T31の前に、第一整流用ダイオード4bがオフする時刻T4bへ達する。

【0159】図4(b)に示されているように、期間T3～T4

bまでは二次巻線3b及び3cのいずれにも二次側電流I3b及びI3cが流れているので、一次側の動作に対しては一次巻線3a1の漏れインダクタンスL1だけが寄与する。従って、期間T3～T4bでは、図4(a)に示されているように、電流I3a1は一次巻線3a1の漏れインダクタンスL1と、第一寄生コンデンサ41C、第二寄生コンデンサ42C及び第四寄生コンデンサ44Cとの共振により、実質上正弦波的に減少する。

【0160】期間T4b～T31では、図4(b)に示されているように、第二の二次側電流I3cだけが流れているので、一次巻線3a1の自己インダクタンスLが一次側の動作に対して寄与する。従って、実施例1同様、共振周期は時刻T4bでそれ以前よりかなり大きくなり、図4(a)に示されているように、電流I3a1の減少がかなりなだらかになる。

【0161】時刻T31以後は第一ダイオード41Dがオンし、第一スイッチ素子41Sの両端の電圧V41が0のまま維持される。更に、重負荷時同様、電圧V3a1が一定値(-Vin)に保たれるので、電流I3a1は一次巻線3a1の自己インダクタンスに反比例する傾きで直線的に減少する。時刻T32に電流I3a1が0になり、その直後から流れの向きを反転させる。従って、期間T31～T32に第一スイッチ素子41Sをオンすれば、第一スイッチ素子41Sのオンに対してZVSが実現できる。実施例1同様、軽負荷時では時刻T3での電流I3a1及びI3a2の大きさが小さい一方、共振周期が時刻T4bで大きくなり、時刻T3から電流I3a1及びI3a2が0になるまでの時間が長くなる。それ故、期間T3～T4の時間、すなわち、デッドタイムを長くするとZVS条件が満たされ得る。

【0162】【(C) (B)の軽負荷時より負荷電流が更に小さい時の期間T3～T4の動作】実施例1の(C)に対応する軽負荷時、時刻T3近傍において電圧V3a1及び電流I3a1のパルス波形を拡大すると、電流の極性が逆であることを除き、図5(a)と実質的に同じである。

【0163】実施例1同様、(B)の軽負荷時より負荷電流の時間平均的大きさが更に小さくなってくると、第三コンデンサ13Cの両端の電圧が0となる時刻T31は遅くなる一方、期間T3～T4bの時間が一次巻線3aの漏れインダクタンスL1だけによる共振の周期の実質上1/4程度に止まるようになる。従って、負荷電流の時間平均的大きさが十分小さくなると、図5(a)に示されているように、一次巻線3aの自己インダクタンスLによる共振時間(期間T4b～T31)は、漏れインダクタンスL1だけによる共振時間(期間T3～T4b)を十分無視できる程長くなる。この程度の軽負荷時では、期間T3～T4の時間、すなわち、デッドタイムを一次巻線3aの自己インダクタンスLで決まる共振周期の1/4に設定すれば、ZVS条件が満たされ得る。

【0164】第一の一次巻線3a1と第一寄生コンデンサ41C、第二寄生コンデンサ42C及び第四寄生コンデンサ44C

との共振周期は、実施例1同様、第一の一次巻線3a1の自己インダクタンスで決まるもの以上には実質上大きくならない。それ故、更に軽負荷の度合いが進み、すなわち、時刻T3での電流I3a1及び電流I3a2の大きさが更に小さくなると、ZVS条件を満たし得るデッドタイムは存在しなくなる。

【0165】実施例4において、負荷電流の時間平均的大きさに対してZVS条件を満たし得るデッドタイムの範囲の概略は、実施例1同様図6のようになる。従って、デッドタイムを負荷電流の大きさに合わせて図6が示す範囲に含まれるように変化させれば、負荷電流の大きさに関わらず、常にデッドタイムがZVS条件を満たすようにできる。

【0166】実施例4においても実施例1と同様に、矢印Bの範囲に閾値Ithを定め、負荷電流が閾値Ithより実質的に大きい場合図6のD1に、負荷電流が閾値Ithより実質的に小さい場合図6のD2に、それぞれデッドタイムを設定する。すなわち、図6の破線で示されている折線D上にデッドタイムを設定する。実施例1同様、重負荷時にデッドタイムを図6のD1に設定することは従来のスイッチング制御回路7(図11)で既に行われている。実施例4では従来の設定に加えて、負荷電流が閾値Ithより実質的に小さい場合、遅延回路38の遅延時間をD2-D1=D2(何故なら、D2>>D1)に設定する。負荷電流の時間平均的大きさは電流I5の大きさと相関するので、負荷電流に対する上記の閾値Ithに対応する電流I5に対する閾値が設定され得る。その閾値より電流I5が実質的に小さければ負荷電流も閾値Ithより実質的に小さいとわかる。こうして、実施例4では遅延回路38により、軽負荷時でも第一スイッチ素子41SのオンにおいてZVSを行い得るようデッドタイムを設定できる。

【0167】図6のZVS条件を満たす範囲は負荷電流に対する下限Iminを有する。下限Iminより小さい負荷電流に対しては、ZVS条件を満たし得るデッドタイムが存在しない。しかし、この場合でも上記のようにデッドタイムをD2に設定しておけば、D1に設定したままよりも、時刻T4(図13)で第一寄生コンデンサ41C(図11)に残留する電荷量が少ない。従って、時刻T4でのスイッチング損失が従来よりも少ない。

【0168】実施例4では図6に示す折線Dのように、負荷電流の大きさに対する閾値Ithを境に離散的にデッドタイムを設定した。その他に、図6に示されている矢印Bの範囲でZVS条件を満たす範囲から外れないように、デッドタイムを直線的あるいは曲線的に変化させても良い。

【0169】《実施例5》以下本発明の実施例5について説明する。実施例5は、補助巻線を含むプッシュプル型コンバータを有するスイッチング電源装置において本発明を実施したものである。図14は実施例5のスイッチング電源装置の回路を示す。ここで、実施例4(図11)と

共通の構成要素には同じ符号を付して、その説明は実施例4のものを援用する。

【0170】実施例5ではトランジスタ3が補助巻線3tを有する。補助巻線3tと一次巻線3aとの巻数比は1:2である。補助巻線3tに印加される電圧Vtは第一の一次巻線3a1に印加される電圧V3a1の2倍と実質的に等しい。実施例4とは異なり、第三スイッチ部53及び第四スイッチ部54が補助巻線3tへ並列に接続される。第三スイッチ部53及び第四スイッチ部54は、第一スイッチ部41及び第二スイッチ部42と同様、並列に接続されたスイッチ素子、ダイオード及びコンデンサを含む。スイッチ素子53S及び54Sは、好ましくは、MOSFETから成る。その他、バイポーラトランジスタ又はIGBTであっても良い。スイッチ素子53S及び54Sは直列に接続される。第三スイッチ素子53Sと第四スイッチ素子54Sとの接続点R5が第二入力端子1bへ接続される。

【0171】第三ダイオード53D及び第四ダイオード54Dは互いにアノードを接続点R5へ接続される。ダイオード53D及び54Dは、好ましくは、スイッチ素子53S及び54Sの寄生ダイオードである。その他に、ダイオード53D及び54Dがスイッチ素子53S及び54Sに対して独立な素子であっても良い。寄生コンデンサ53C及び54Cはスイッチ素子53S及び54Sに対して等価的に並列に接続された寄生コンデンサである。寄生コンデンサ53C及び54Cは各スイッチ素子自身の寄生コンデンサだけでなく、配線及び補助巻線3tの寄生コンデンサも等価的に含む。更に、寄生コンデンサ53C及び54Cが、独立な素子としてのコンデンサを含んでいても良い。

【0172】図12及び図13に示されているように、実施例4の第三スイッチ素子43S及び第四スイッチ素子54Sと実質的に同じタイミングで、実施例5の第三スイッチ素子53S及び第四スイッチ素子54Sをそれぞれオンオフさせる。すると、上記のように一次巻線3a1及び3a2と補助巻線3tとそれぞれに印加される電圧の比が常に実質的1:2であるので、実施例5の動作は実施例4と実質的に同一である。但し、期間T2~T3及びT6~T7において、実施例4では一次巻線3a1及び3a2が短絡されるのに対して、実施例5では補助巻線3tが短絡され、一次巻線3a1及び3a2には電流が実質上流れない。実施例5は実施例4と実質的に同じ動作をするので、軽負荷時において実施例4と同様にデッドタイムを長くすれば、第一スイッチ素子41S及び第二スイッチ素子42Sのオンに対してZVSを実現できる。

【0173】実施例5では第三スイッチ素子53Sと第四スイッチ素子54Sとの接続点R5が第二入力端子1bに接続されるので、その電位が常に一定である。従って、スイッチング制御回路7から第三スイッチ素子53S及び第四スイッチ素子54Sへ出力されるスイッチング信号G3及びG4の高電位(H)及び低電位(L)それぞれのレベルを一定に維持できる。

【0174】【負荷電流検出手段が実際に電流を検出する場所】上記のいずれの実施例においても、それぞれの回路各部を流れる電流の時間平均的大きさは負荷電流の時間平均的大きさと相関するので、それぞれの遅延回路が電流を検出する場所がそれぞれ記述された所に限られるわけではない。以下に述べる実施例6から実施例19までは、以上に述べた実施例1～実施例5のそれぞれにおいて、遅延回路が電流を検出する場所を置き換えたものに相当する。もちろん、これらの実施例は電流を検出する場所の例示に過ぎず、本発明がこれらの場所に限られるものではないことに注意すべきである。更に、負荷電流検出手段として、実施例1のカレントトランス9を用いる手段、又は、実施例2等の電流検出用抵抗によって電圧降下量を測定する手段の他に、電流が生み出す磁場をホール素子等によって検出して電流を測定する手段を用いても良い。検出場所を流れる電流の特徴に合わせて、その電流の時間平均的大きさを精度良く測定できる手段が選択されれば良い。例えば、検出されるべき電流が一定の方向にしか流れない場合は電流検出用抵抗により、周期的に向きを反転させる場合はカレントトランスにより、それぞれの検出対象の電流が測定できる。

【0175】《実施例6》図17は実施例6の回路を示す図である。実施例6の構成は実施例1(図1)と比べて、カレントトランス9の一次巻線9aを、第一のスイッチ部11と第二のスイッチ部12との接続点P1、及び、第二スイッチ部12のカソード端12aの間に直列に接続している点を除き、全く同じである。このようにカレントトランス9の接続位置を変えても、実施例6の動作は実施例1と全く同様である。つまり、重負荷時には図16により、軽負荷時には図2によりそれぞれ示される電流及び電圧が、実施例6の各部に発生する。遅延回路8は、実施例1では入力電流I9を測定するのに対し、実施例6では第二スイッチ部12を流れる電流I12を測定する。図16及び図2に示されているように、電流I12と電流I9とを比べると、電流I12の周波数は電流I9の実質的に半分であるが、個々のパルス波形は実質的に同じである。従って、実施例1で設定されていた電流I9に対する閾値I9thの実質的に半分の値に、実施例6の遅延回路8の閾値は設定される。尚、図16及び図2に示されているように、電流I9及びI12はいずれも実質的に同じ向きにしか流れないので、カレントトランス9による測定の他に、実施例2のように電流検出用抵抗の電圧降下から電流I9又はI12を測定しても良い。

【0176】《実施例7》図18は実施例7の回路を示す図である。実施例7の構成は実施例1(図1)と比べて、カレントトランス9の一次巻線9aを、第一のスイッチ部11と第二のスイッチ部12との接続点P1、及び、トランス3の一次巻線3aの間に直列に接続している点を除き、全く同じである。このようにカレントトランス9の接続位置を変えても、実施例7の動作は実施例1と全く同様であ

る。つまり、重負荷時には図16により、軽負荷時には図2によりそれぞれ示される電流及び電圧が、実施例7の各部に発生する。遅延回路8は、実施例1では入力電流I9を測定するのに対し、実施例7ではトランス3の一次巻線3aを流れる電流I3を測定する。図16及び図2に示されているように、電流I3と電流I9とを比べると、電流I3は向きを周期的に反転させる。従って、実施例7ではカレントトランス9の二次巻線9bからの出力を整流した後にその時間平均的大きさを測定する。

【0177】《実施例8》図19は実施例8の回路を示す図である。実施例8は、実施例1(図1)の遅延回路8及びカレントトランス9を、実施例3(図10)の遅延回路38及び出力電流検出用抵抗39に置き換えたものである。その他の構成は実施例1と全く同じである。出力電流検出用抵抗39の抵抗は出力電流及び出力電圧Voutへの影響が無視できるほど小さいので、実施例8の動作は実施例1と全く同様である。つまり、重負荷時には図16により、軽負荷時には図2によりそれぞれ示される電流及び電圧が、実施例8の各部に発生する。実施例1、実施例6及び実施例7と比べると、実施例8では実質上出力電流を測定するので、軽負荷時かどうかの判断が確実にできるという利点と、電流の測定が出力に影響するおそれがあるという欠点とを有している。

【0178】《実施例9》図20は実施例9の回路を示す図である。実施例9の構成は実施例2(図7)と、電流検出用抵抗29の接続位置を除き、全く同じである。電流検出用抵抗29は、第二の分圧用コンデンサ1C2と第二スイッチ部22のアノード端22bとの接続点T2、及び、第二スイッチ部22のアノード端22b、の間に直列に接続されている。このように電流検出用抵抗29の接続位置を変えて、実施例9の動作は実施例2と全く同様である。つまり、重負荷時には図8により、軽負荷時には図9によりそれぞれ示される電流及び電圧が実施例9の各部に発生する。遅延回路28は、実施例2では入力電流I29を測定するのに対し、実施例9では第二スイッチ部22を流れる電流I22を測定する。図8及び図9に示されているように、電流I22と電流I29とを比べると、電流I22の周波数は電流I29の実質的に半分であるが、個々のパルス波形は実質的に同じである。従って、実施例2で設定されていた電流I29に対する閾値I29thの実質的に半分の値に、実施例9の遅延回路28の閾値は設定される。

【0179】《実施例10》図21は実施例10の回路を示す図である。実施例10は、実施例2(図7)の遅延回路28及び電流検出用抵抗29を実施例7(図18)の遅延回路8及びカレントトランス9と置き換えたものであり、その他の構成は実施例2と全く同じである。カレントトランス9の一次巻線9aは、第一の分圧用コンデンサ1C1と第二の分圧用コンデンサ1C2との接続点P2、及び、トランス3の一次巻線3aの間に直列に接続されている。このようにカレントトランス9を有していても、実施例10の

動作は実施例2と全く同様である。つまり、重負荷時には図8により、軽負荷時には図9によりそれぞれ示される電流及び電圧が、実施例10の各部に発生する。遅延回路8は、実施例7同様トランス3の一次巻線3aを流れる電流I3を測定する。電流I3は向きを周期的に反転させてるので、遅延回路8は、カレントトランス9の二次巻線9bからの出力を整流後、その時間平均的大きさを測定する。

【0180】《実施例11》図22は実施例11の回路を示す図である。実施例11は、実施例2(図7)の遅延回路28及び電流検出用抵抗29を実施例3(図10)の遅延回路38及び出力電流検出用抵抗39と置き換えたものであり、その他の構成は実施例2と全く同じである。出力電流検出用抵抗39は、第一の二次巻線3bと第二の二次巻線3cとの接続点R₁及び、平滑用コンデンサ6の第二出力端子2bへ接続された方の端、の間に直列に接続されている。出力電流検出用抵抗39の抵抗は出力電流及び出力電圧Voutへの影響が無視できるほど小さいので、実施例11の動作は実施例2と全く同様である。つまり、重負荷時には図8により、軽負荷時には図9によりそれぞれ示される電流及び電圧が、実施例11の各部に発生する。実施例2、実施例9及び実施例10と比べると、実施例11では実質上出力電流を測定するので、軽負荷時かどうかの判断が確実にできるという利点と、電流の測定が出力に影響するおそれがあるという欠点とを有している。

【0181】《実施例12》図23は実施例12の回路を示す図である。実施例12は、実施例3(図10)の遅延回路38及び出力電流検出用抵抗39を実施例2(図7)の遅延回路28及び電流検出用抵抗29と置き換えたものであり、その他の構成は実施例3と全く同じである。電流検出用抵抗29は、第二の分圧用コンデンサ1C2と第二スイッチ部22のアノード端22bとの接続点T2、及び、第二入力端子1b近くにある接続点X₁の間に直列に接続されている。ここで、接続点X₁は、第三スイッチ部33と第四スイッチ部34との接続点R3を第二入力端子1bへ接続している点である。電流検出用抵抗29の抵抗は入力電流及び入力電圧Vinへの影響が無視できるほど小さいので、実施例12の動作は実施例3と全く同様である。更に、電流検出用抵抗29は、接続点X₁より高電位側へ接続されているので、第三スイッチ素子33S及び第四スイッチ素子34Sのゲート電位を変化させない。

【0182】《実施例13》図24は実施例13の回路を示す図である。実施例13の構成は実施例12(図23)と比べて、電流検出用抵抗29を第二の分圧用コンデンサ1C2と第二スイッチ部22のアノード端22bとの接続点T2、及び、第二スイッチ部22のアノード端22b、の間に直列に接続している点を除き、全く同じである。このように電流検出用抵抗29の接続位置を変えて、実施例13の動作は実施例12と全く同様である。

【0183】《実施例14》図25は実施例14の回路を示す図である。実施例14は、実施例12(図23)の遅延

回路28及び電流検出用抵抗29を実施例7(図18)の遅延回路8及びカレントトランス9と置き換えたものであり、その他の構成は実施例12と全く同じである。カレントトランス9の一次巻線9aは、第一の分圧用コンデンサ1C1と第二の分圧用コンデンサ1C2との接続点P2、及び、トランス3の一次巻線3aの間に直列に接続されている。このようにカレントトランス9を有していても、実施例14の動作は実施例12と全く同様である。遅延回路8は、実施例7同様、トランス3の一次巻線3aを流れる電流I3を測定する。電流I3は向きを周期的に反転させてるので、遅延回路8は、カレントトランス9の二次巻線9bからの出力を整流後、その時間平均的大きさを測定する。

【0184】《実施例15》図26は実施例15の回路を示す図である。実施例15は、実施例4(図11)の遅延回路38及び出力電流検出用抵抗39を実施例2(図7)の遅延回路28及び電流検出用抵抗29と置き換えたものであり、その他の構成は実施例4と全く同じである。電流検出用抵抗29は、第一の一次巻線3a1と第二の一次巻線3a2との接続点P4、及び、第一入力端子1a₁の間に直列に接続されている。電流検出用抵抗29の抵抗は入力電流及び入力電圧Vinへの影響が無視できるほど小さいので、実施例15の動作は実施例4と全く同様である。つまり、重負荷時には図12により、軽負荷時には図13によりそれぞれ示される電流及び電圧が、実施例15の各部に発生する。

【0185】《実施例16》図27は実施例16の回路を示す図である。実施例16の構成は、実施例15(図26)と比べて、電流検出用抵抗29を第一スイッチ部41のアノード端41bと第二出力端子1bとの接続点T3、及び、第二スイッチ部42のアノード端42b、の間に直列に接続している点を除き、全く同じである。電流検出用抵抗29の抵抗は第二のスイッチ部42の電流I42及び電圧V42への影響が無視できるほど小さいので、実施例16の動作は実施例15と全く同様である。

【0186】《実施例17》図28は実施例17の回路を示す図である。実施例17は、実施例4(図11)の遅延回路38及び電流検出用抵抗39を実施例1(図1)の遅延回路8及びカレントトランス9と置き換えたものであり、その他の構成は実施例4と全く同じである。カレントトランス9の一次巻線9aは、第二スイッチ部42のカソード端42aと第四スイッチ部44のカソード端44aとの接続点R4、及び、トランス3の第二の一次巻線3a2、の間に直列に接続されている。このようにカレントトランス9を有していても、実施例17の動作は実施例4と全く同様である。遅延回路8は、第二の一次巻線3a2を流れる電流I3a2を測定する。電流I3a2は、図12及び図13に示されているように、向きを周期的に反転させてるので、遅延回路8は、カレントトランス9の二次巻線9bからの出力を整流後、その時間平均的大きさを測定する。

【0187】《実施例18》図29は実施例18の回路を

示す図である。実施例18は、実施例5(図14)の遅延回路38及び出力電流検出用抵抗39を実施例15(図26)の遅延回路28及び電流検出用抵抗29と置き換えたものであり、その他の構成は実施例5と全く同じである。電流検出用抵抗29は、第一の一次巻線3a1と第二の一次巻線3a2との接続点P4、及び、第一入力端子1a、の間に直列に接続されている。電流検出用抵抗29の抵抗は入力電流及び入力電圧Vinへの影響が無視できるほど小さいので、実施例18の動作は実施例5と全く同様である。

【0188】《実施例19》図30は実施例19の回路を示す図である。実施例19の構成は、実施例18(図29)と比べて、電流検出用抵抗29を第一スイッチ部41のアノード端41bと第二出力端子1bとの接続点T3、及び、第二スイッチ部42のアノード端42b、の間に直列に接続している点を除き、全く同じである。電流検出用抵抗29の抵抗は第二のスイッチ部42の電流(第二の一次巻線3a2の電流と同じ)I3a2及び電圧V42への影響が無視できるほど小さいので、実施例19の動作は実施例18と全く同様である。

【0189】以上の実施例では、スイッチング制御回路がデッドタイムを図6のD1に設定していた。そして、遅延回路が、検出された電流が所定の閾値(I9th、I29th等)より小さい場合、つまり、軽負荷時、スイッチング制御回路から入力されたスイッチング信号を図6のD2だけ遅らせて出力した。これにより、オンさせるべきスイッチ素子のオンのタイミングを重負荷時より遅らせて、デッドタイムをD1からD2へと長くしていた。その他に、スイッチング制御回路がデッドタイムをD1+D2に設定し、遅延回路が、検出された電流が上記の閾値より大きい場合、つまり、重負荷時、スイッチング信号を遅延時間D2だけ遅らせて出力しても良い。この場合、以上の実施例とは異なり、遅延回路はオフさせるべきスイッチ素子のオフのタイミングを軽負荷時よりD2だけ遅らせて、デッドタイムをD1+D2からD1へと短くする。このようにしても、軽負荷時のデッドタイムが重負荷時より長くできるので、上記の実施例と同様に、軽負荷時のZVSが実現できる。

【0190】以上の実施例において、各スイッチ部の寄生コンデンサを充電及び放電させるエネルギーは、トランス3の励磁インダクタンスと漏れインダクタンスとに蓄えられたエネルギーに依存している。漏れインダクタンスが小さいので寄生コンデンサを充電及び放電させるエネルギーが不足する場合、トランス3の一次巻線又は二次巻線に直列にインダクタンス素子を接続し、漏れインダクタンスを所定の値まで増加させてもよい。

【0191】上記の実施例では第一整流用ダイオード4b及び第二整流用ダイオード4cが通常のダイオードである。その他に、第一整流用ダイオード4b及び第二整流用ダイオード4cがMOSFET等のスイッチ素子で構成され、スイッチング信号G1～G4と同期して駆動されるため

の同期整流回路であっても良い。同期整流回路では通常のダイオードに比べオンオフ時の電力損失が小さいので、上記のようなデッドタイム中の動作において第一整流用ダイオード4b及び第二整流用ダイオード4cのオンオフによる電力損失が小さく抑えられる。

【0192】上記の実施例では、トランス3の二次側で、二つの二次巻線3b及び3cと、二つの整流用ダイオード4b及び4cとで、いわゆるセンタータップ型の全波整流回路を構成していた。しかし、本発明はこれに限られるわけではなく、一つの二次巻線と四つの整流用ダイオードとで、いわゆるブリッジ型の全波整流回路を構成しても良い。

【0193】

【発明の効果】以上述べたところから明らかのように、本発明によれば、軽負荷時にスイッチ素子のオンに対してZVSを実現できる。これにより、軽負荷時のスイッチング損失を低減でき、特に、サーボ電流及びサーボ電圧の発生がない。従って、本発明のスイッチング電源装置は、従来より広い負荷範囲にわたって、特に、待機時に相当する軽負荷時において、効率をより高く、電磁的ノイズをより小さくできる。更に、軽負荷時のスイッチング損失の低減により従来より高いスイッチング周波数で駆動できるので、従来より小型化が可能なスイッチング電源装置を実現できる。これらの本発明による効果は、従来知られている絶縁型DC-DCコンバータ、例えば、フルブリッジ型、ハーフブリッジ型、ブッシュブル型、又は、それらに補助巻線を附加したもの等、を含むスイッチング電源装置で実現できる。

【図面の簡単な説明】

30 【図1】本発明の実施例1のスイッチング電源装置の構成を示す回路図である。

【図2】軽負荷時、実施例1のスイッチング電源装置の各部分に発生する電圧及び電流のパルス波形図である。

【図3】実施例1のスイッチング電源装置において、重負荷時、時刻T3近傍におけるトランス3の一次巻線3aの電圧V3及び電流I3のパルス波形を拡大した図である。図(a)がそのパルス波形図であり、図(b)は主な期間でのトランス3の二次側電流I3b及びI3cを矢印で模式的に示した図である。

40 【図4】実施例1のスイッチング電源装置において、軽負荷時、時刻T3近傍におけるトランス3の一次巻線3aの電圧V3及び電流I3のパルス波形を拡大した図である。図(a)がそのパルス波形図であり、図(b)は主な期間でのトランス3の二次側電流I3b及びI3cを矢印で模式的に示した図である。

【図5】実施例1のスイッチング電源装置において、図4よりも軽負荷の度合いが進んだ時、時刻T3近傍におけるトランス3の一次巻線3aの電圧V3及び電流I3のパルス波形を拡大した図である。図(a)がそのパルス波形図であり、図(b)は主な期間でのトランス3の二次側電流I3b及びI3cを矢印で模式的に示した図である。

びI3cを矢印で模式的に示した図である。

【図6】実施例1のスイッチング電源装置において、負荷電流の時間平均的大きさに対してZVS条件を満たし得るデッドタイムの範囲を模式的に示す図である。

【図7】本発明の実施例2のスイッチング電源装置の構成を示す回路図である。

【図8】重負荷時、実施例2のスイッチング電源装置の各部分に発生する電圧及び電流のパルス波形図である。

【図9】軽負荷時、実施例2のスイッチング電源装置の各部分に発生する電圧及び電流のパルス波形図である。

【図10】本発明の実施例3のスイッチング電源装置の構成を示す回路図である。

【図11】本発明の実施例4のスイッチング電源装置の構成を示す回路図である。

【図12】重負荷時、実施例4のスイッチング電源装置の各部分に発生する電圧及び電流のパルス波形図である。

【図13】軽負荷時、実施例4のスイッチング電源装置の各部分に発生する電圧及び電流のパルス波形図である。

【図14】本発明の実施例5のスイッチング電源装置の構成を示す回路図である。

【図15】従来例のスイッチング電源装置の構成を示す回路図である。

【図16】重負荷時、従来例及び実施例1のスイッチング電源装置の各部分に発生する電圧及び電流のパルス波形図である。

【図17】本発明の実施例6のスイッチング電源装置の構成を示す回路図である。

【図18】本発明の実施例7のスイッチング電源装置の構成を示す回路図である。

【図19】本発明の実施例8のスイッチング電源装置の構成を示す回路図である。

【図20】本発明の実施例9のスイッチング電源装置の構成を示す回路図である。

【図21】本発明の実施例10のスイッチング電源装置の*

*構成を示す回路図である。

【図22】本発明の実施例11のスイッチング電源装置の構成を示す回路図である。

【図23】本発明の実施例12のスイッチング電源装置の構成を示す回路図である。

【図24】本発明の実施例13のスイッチング電源装置の構成を示す回路図である。

【図25】本発明の実施例14のスイッチング電源装置の構成を示す回路図である。

10 【図26】本発明の実施例15のスイッチング電源装置の構成を示す回路図である。

【図27】本発明の実施例16のスイッチング電源装置の構成を示す回路図である。

【図28】本発明の実施例17のスイッチング電源装置の構成を示す回路図である。

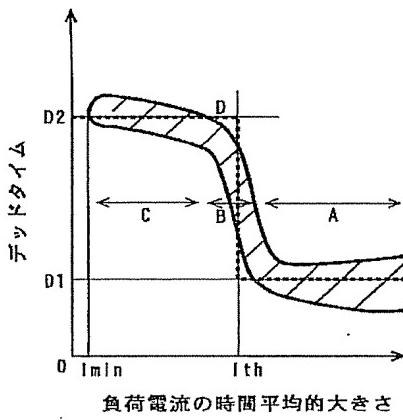
【図29】本発明の実施例18のスイッチング電源装置の構成を示す回路図である。

【図30】本発明の実施例19のスイッチング電源装置の構成を示す回路図である。

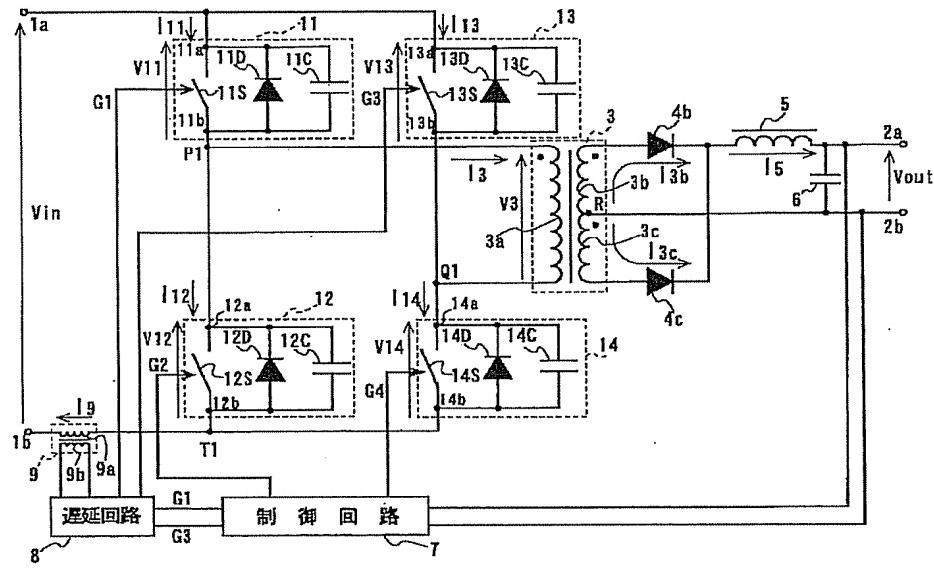
20 【符号の説明】

1a, 1b	入力端子
2a, 2b	出力端子
3	トランジスタ
4a, 4b	整流用ダイオード
5	平滑用インダクタ
6	平滑用コンデンサ
7	スイッチング制御回路
8	遅延回路
9	カレントトランジスタ
30 11	第一スイッチ部
12	第二スイッチ部
13	第三スイッチ部
14	第四スイッチ部

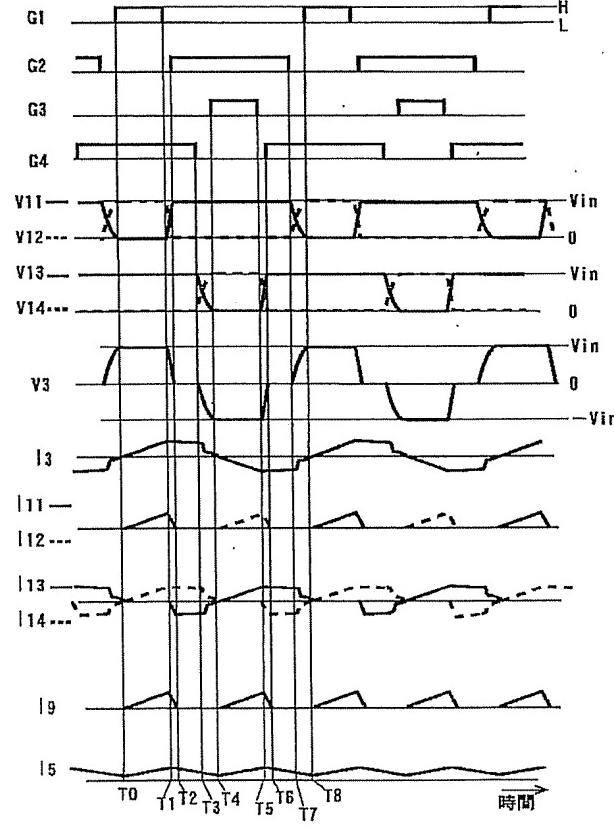
【図6】



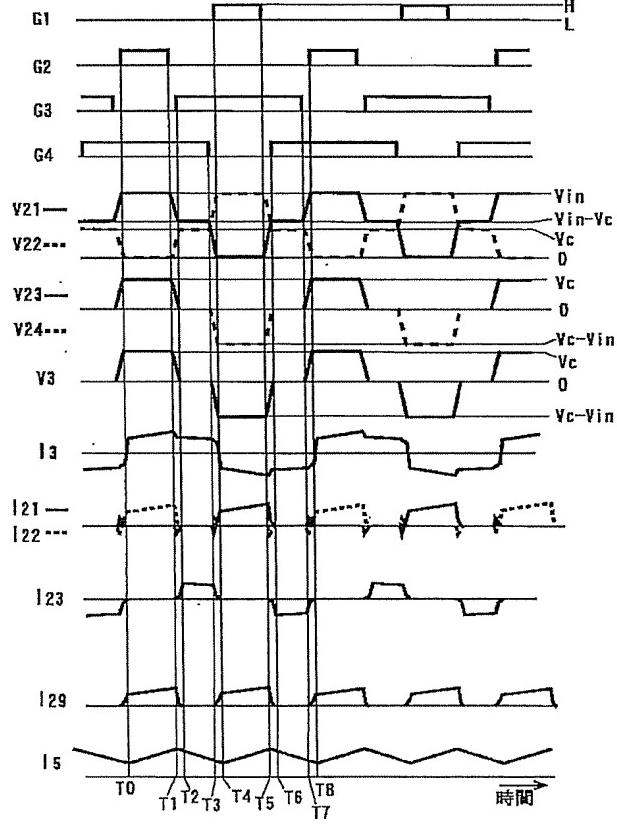
【図1】



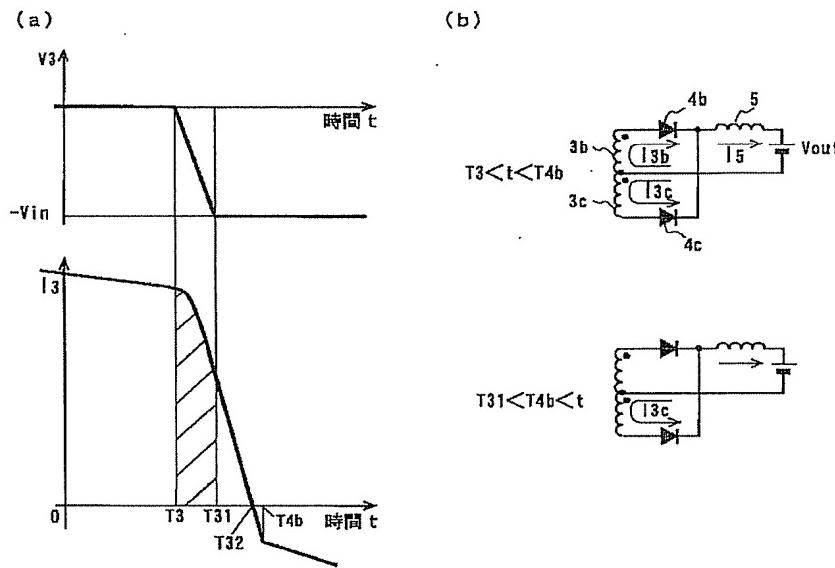
【図2】



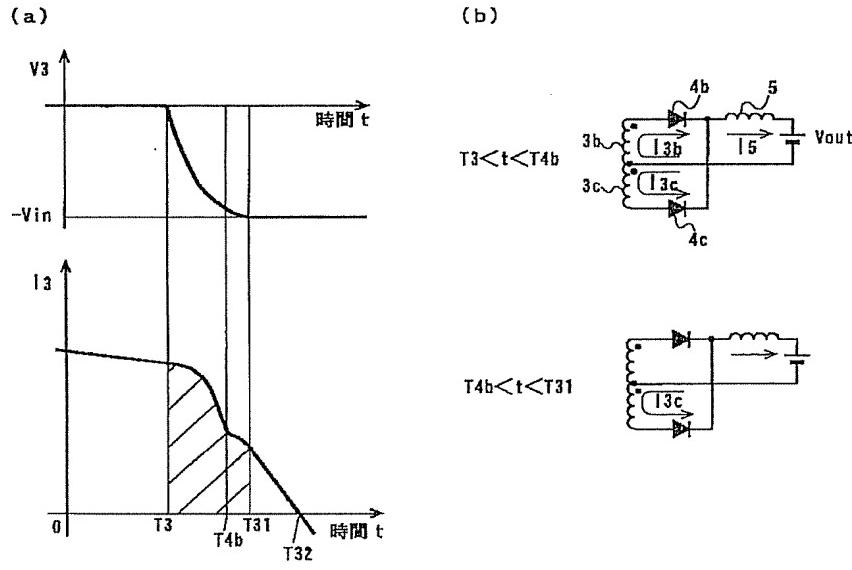
【図8】



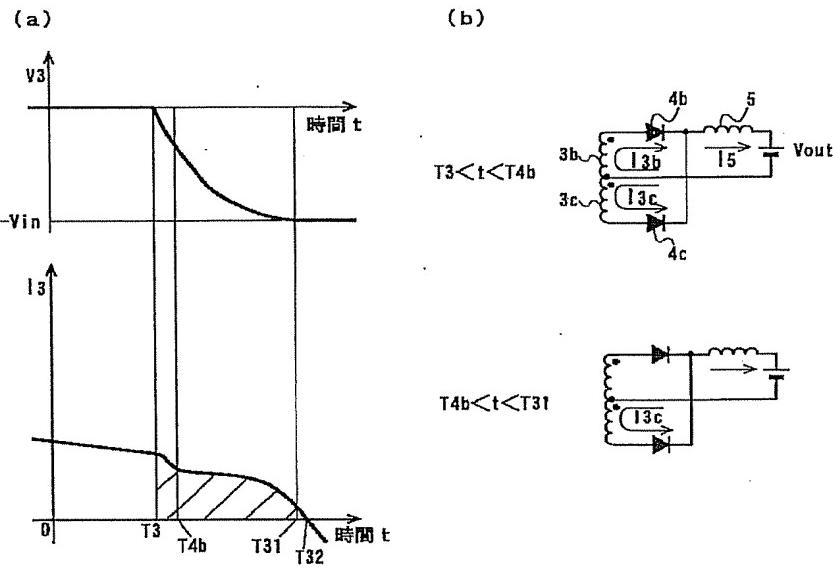
【図3】



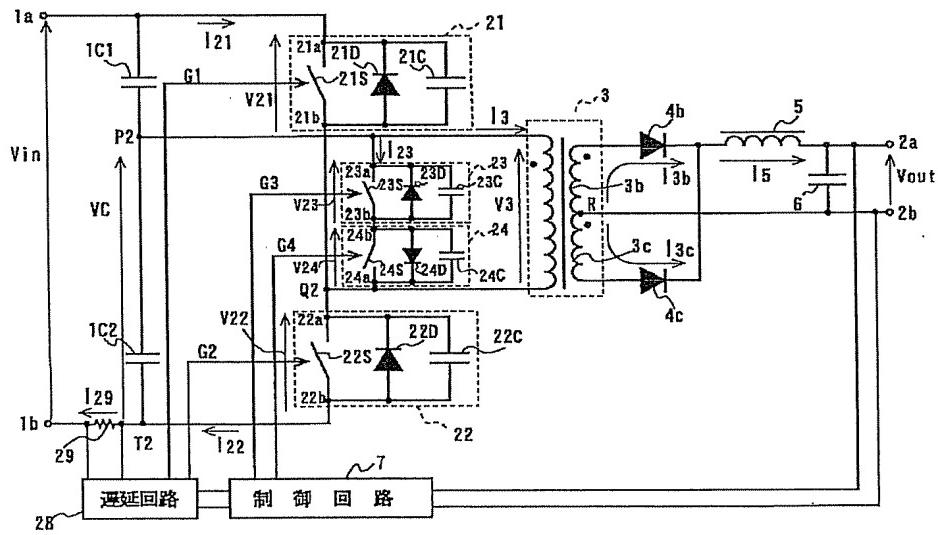
【図4】



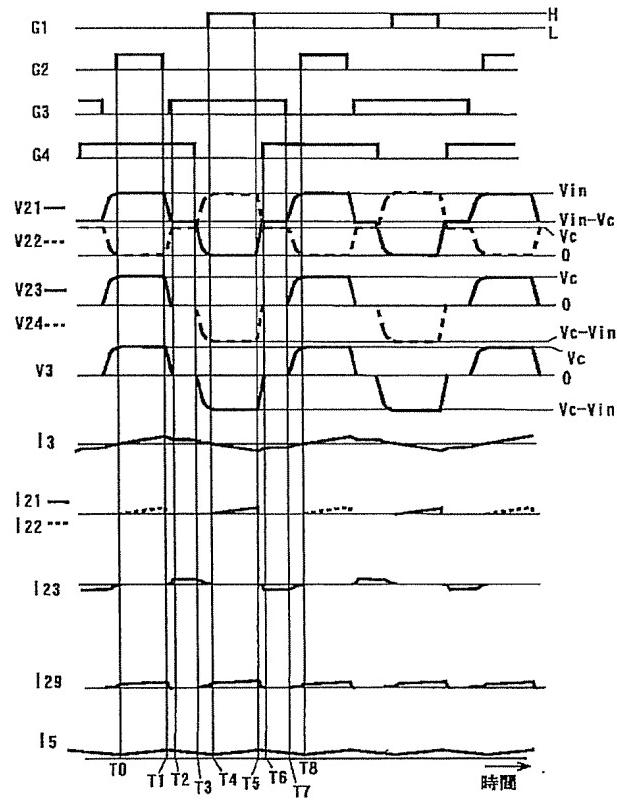
【図5】



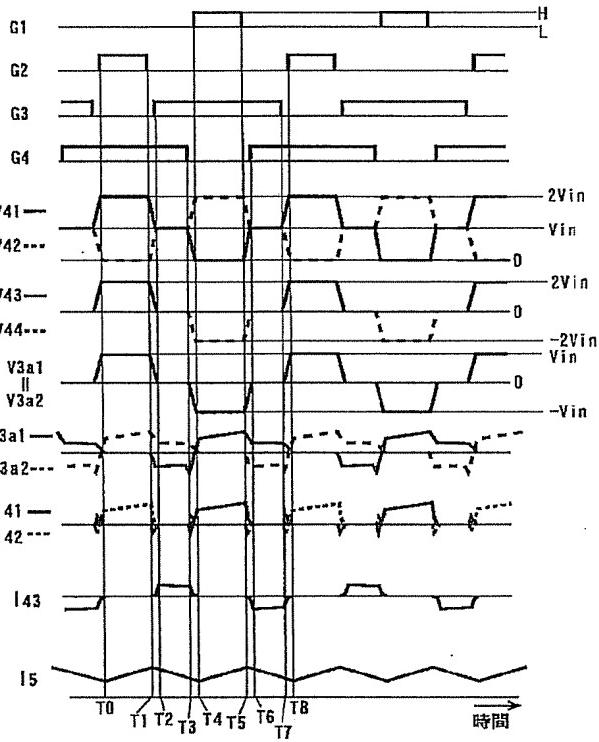
【図7】



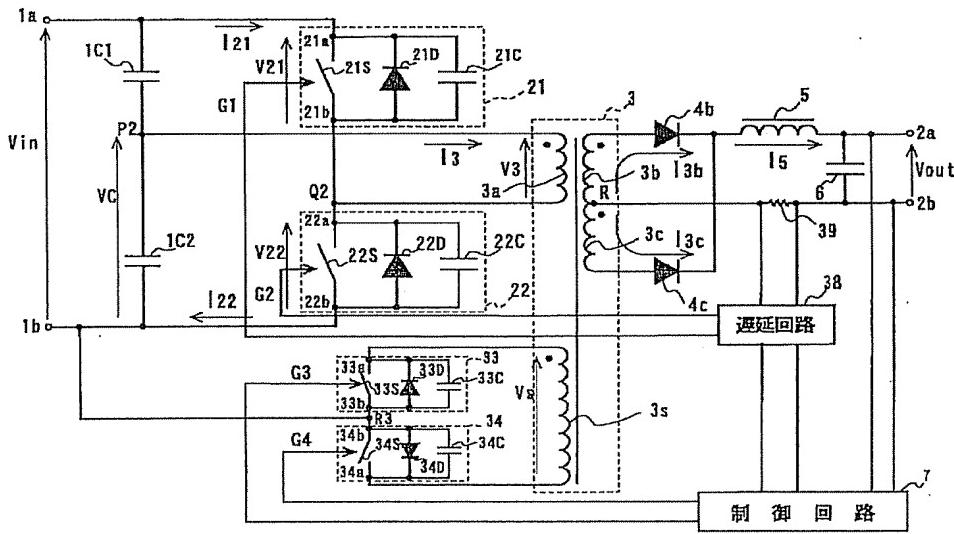
【図9】



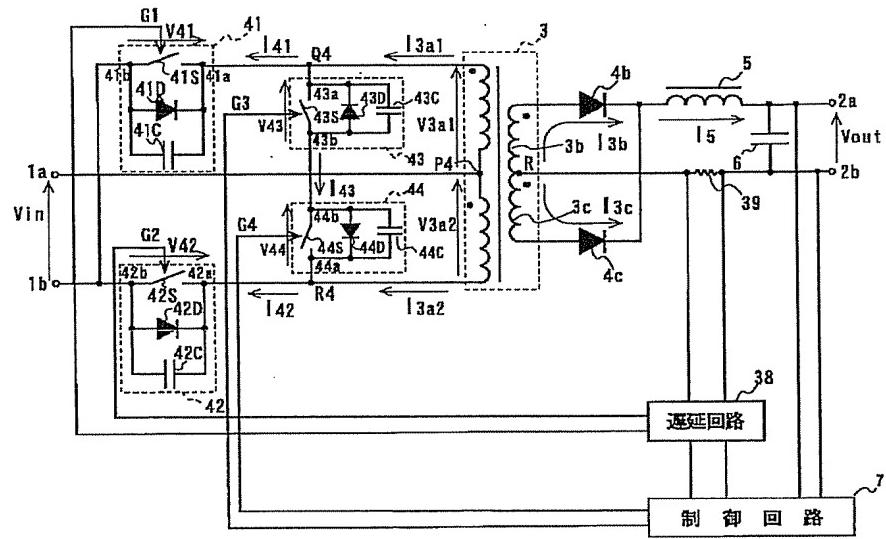
【図12】



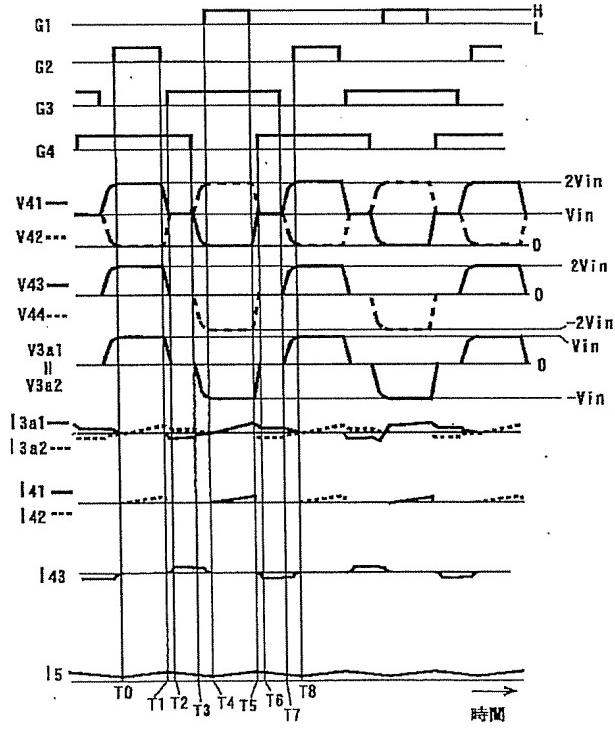
【図10】



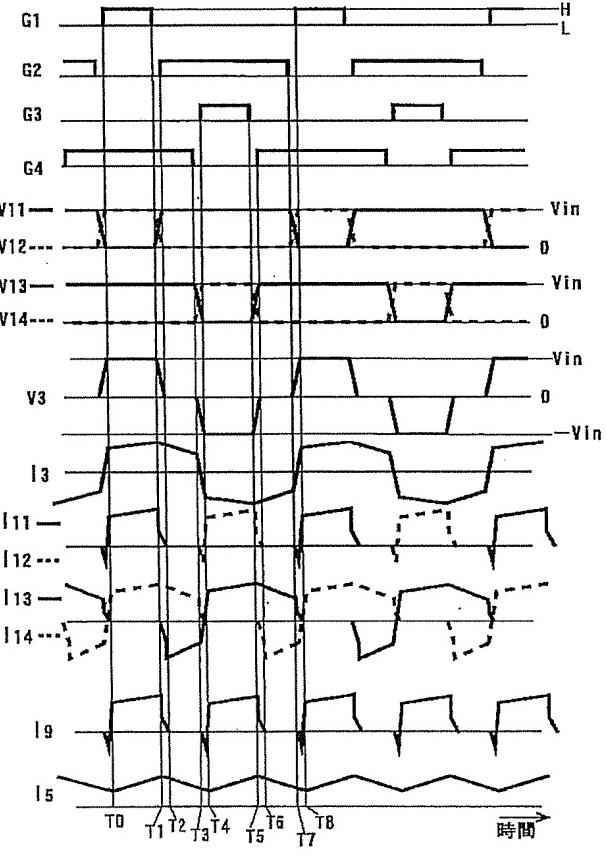
【図11】



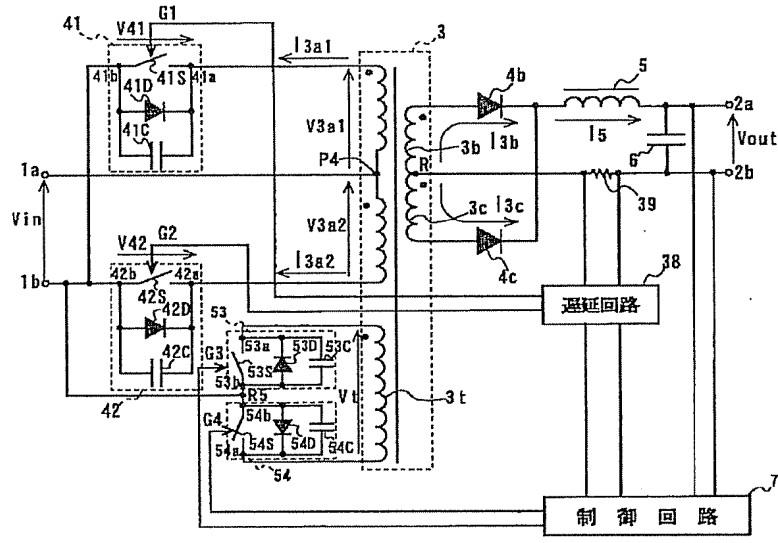
【図13】



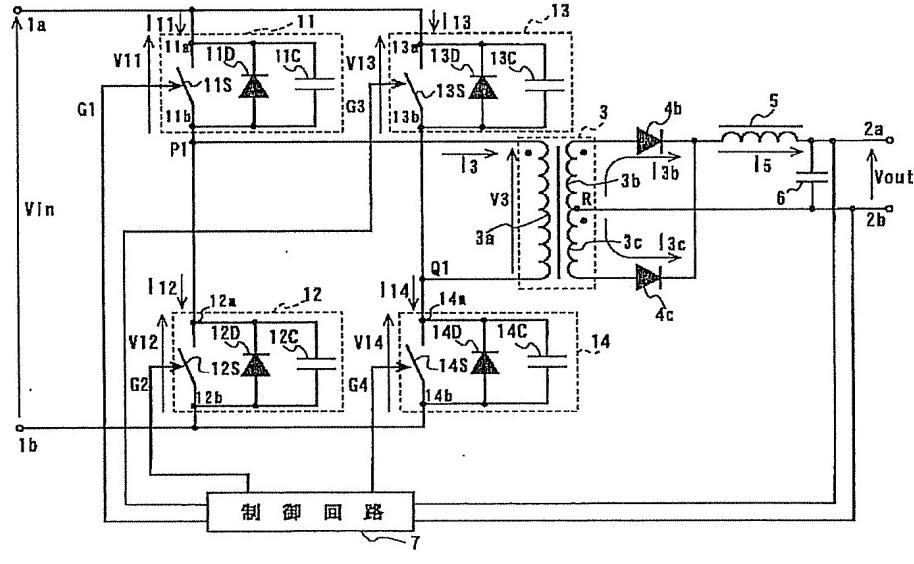
【図16】



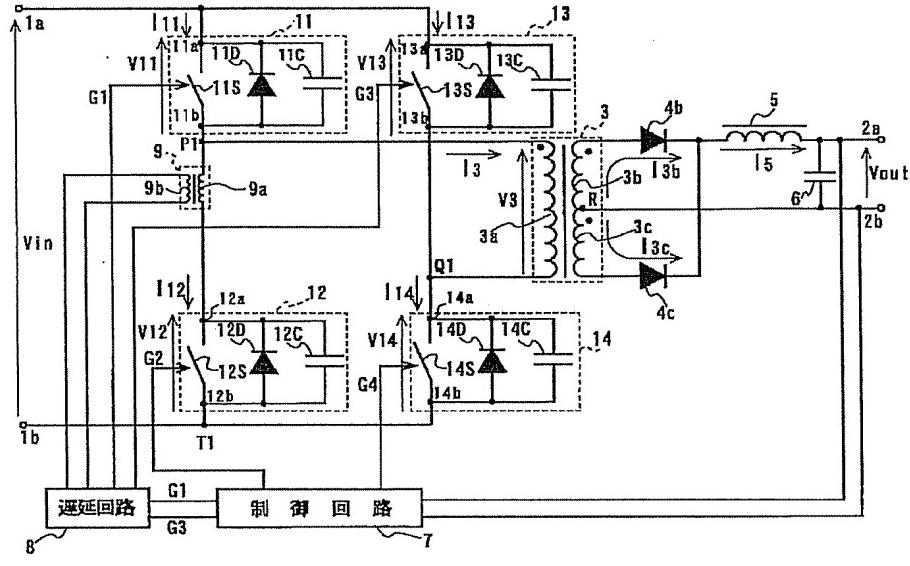
【図14】



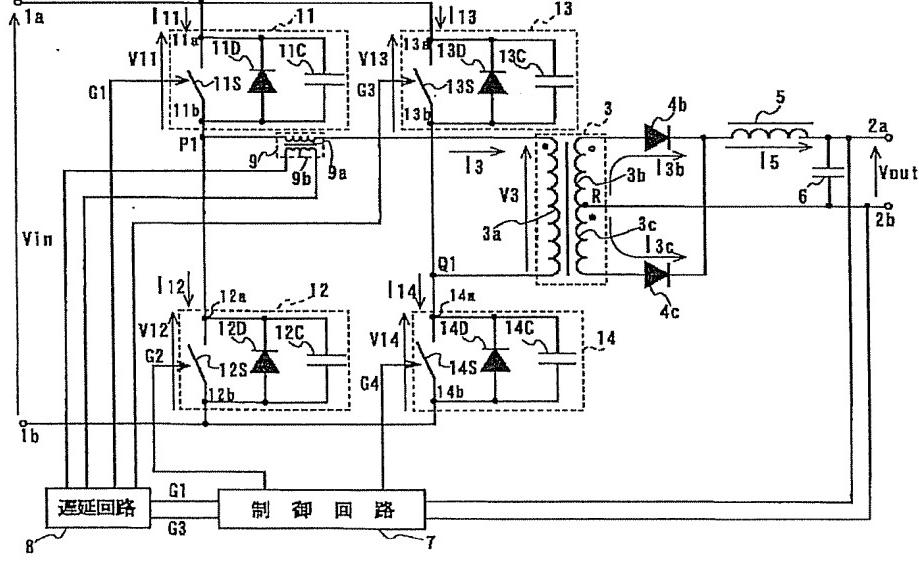
【図15】



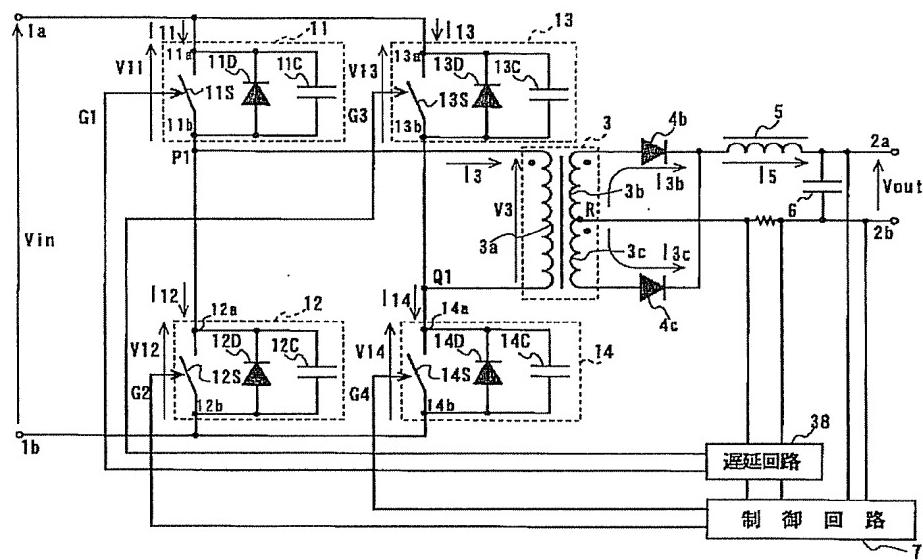
【図17】



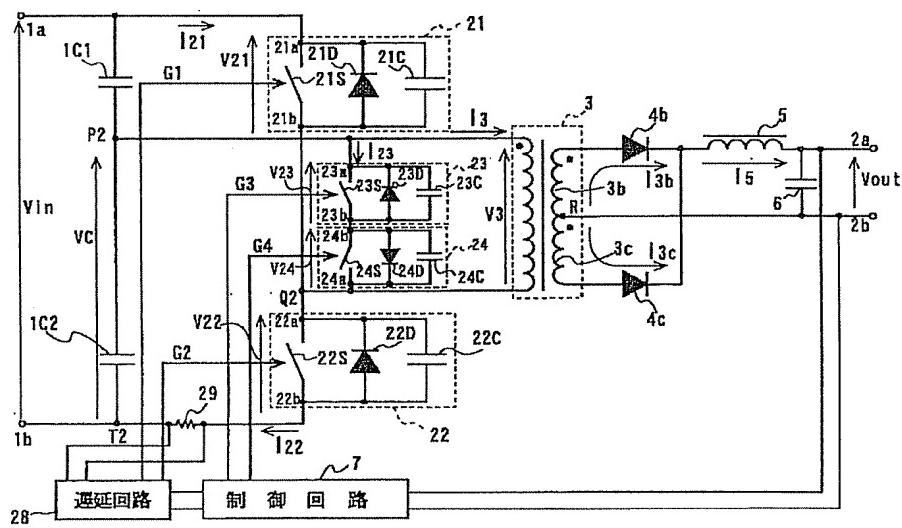
【図18】



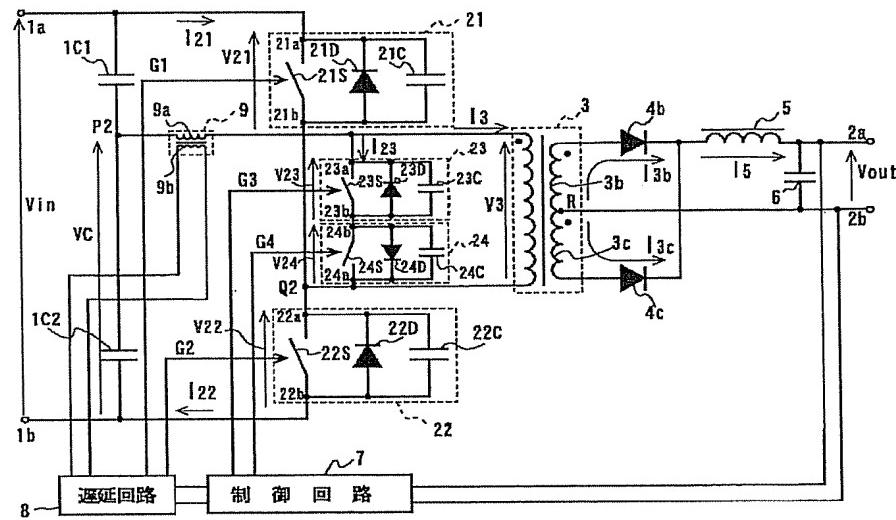
【図19】



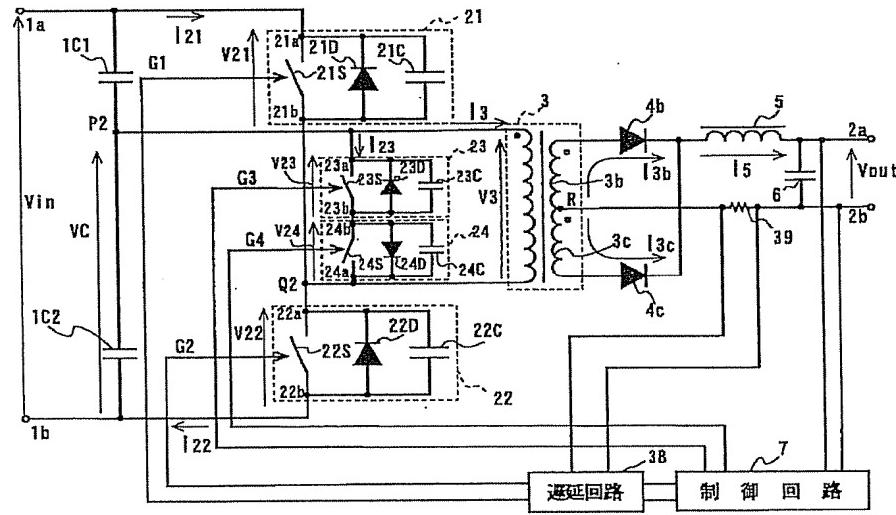
【図20】



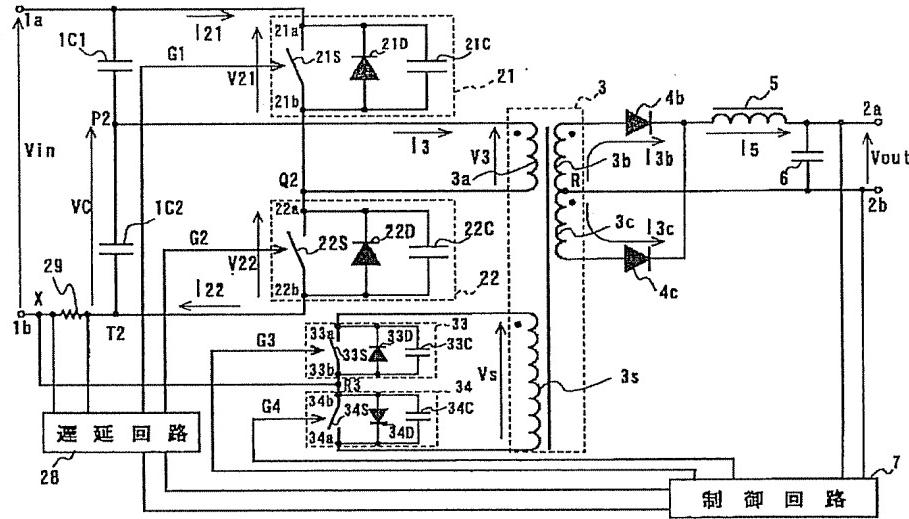
【図21】



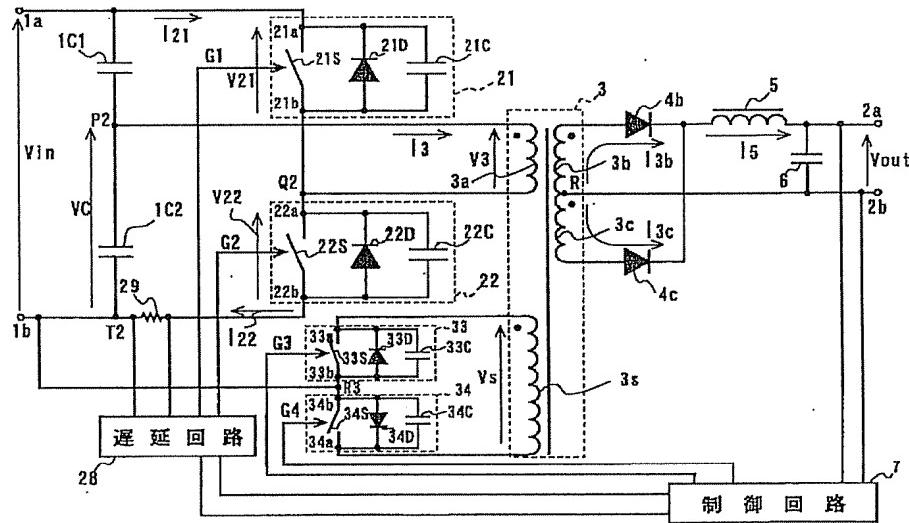
【図22】



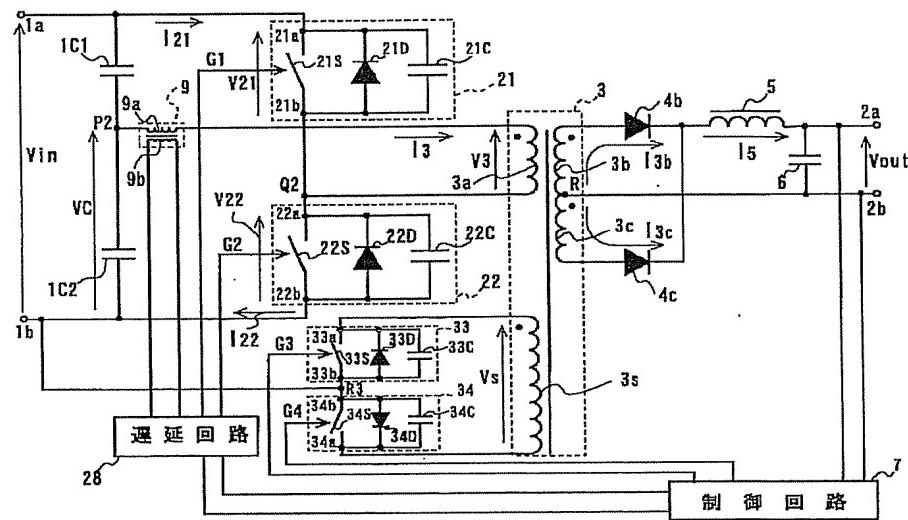
【図23】



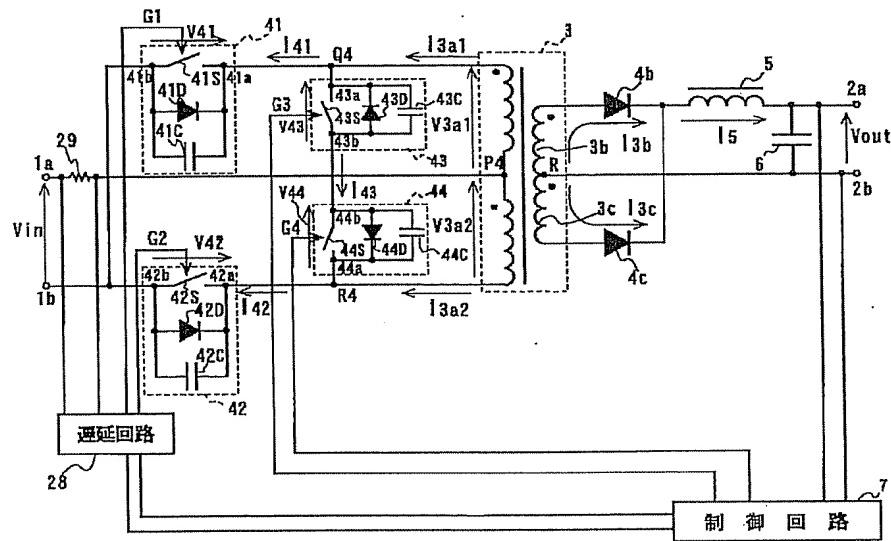
【図24】



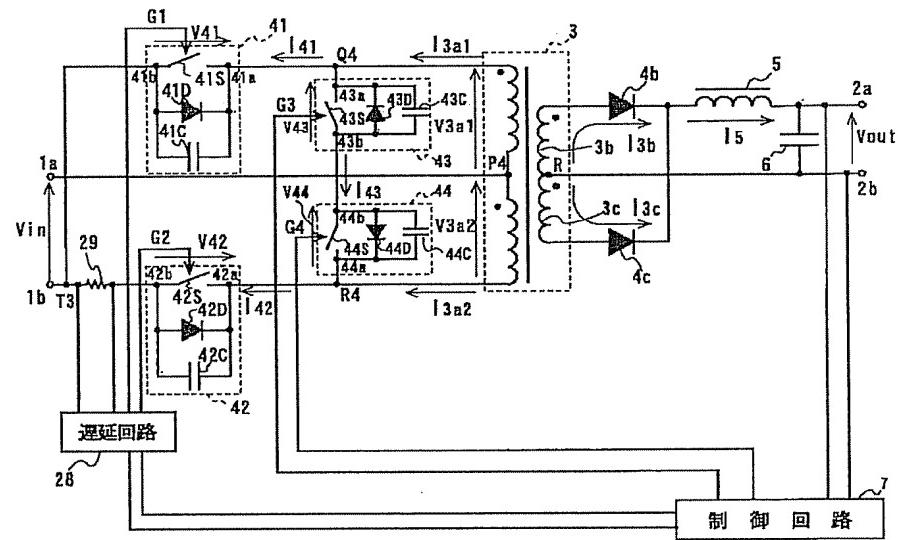
【図25】



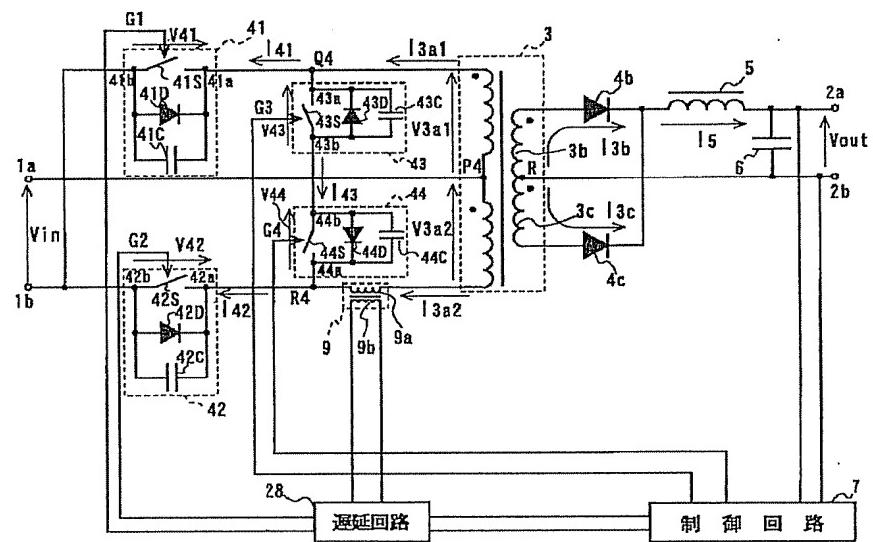
【図26】



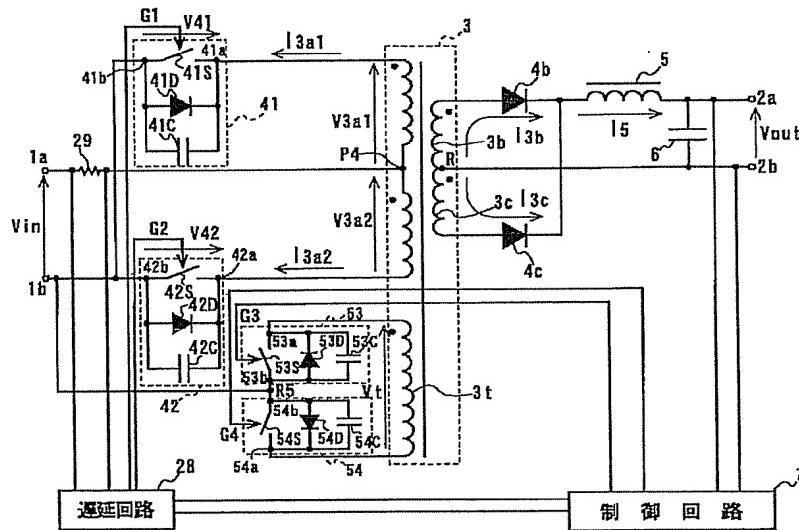
【図27】



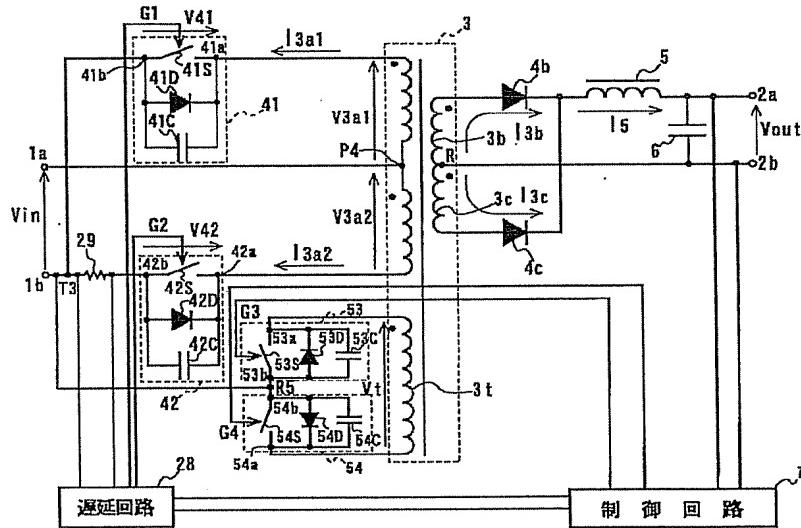
【図28】



【図29】



【図30】



【手続補正書】

【提出日】平成13年6月12日(2001.6.1)
2)

【手続補正1】

【補正対象書類名】明細書
【補正対象項目名】0040

【補正方法】変更

【補正内容】

【0040】遅延回路8は、カレントトランス9の二次巻

線9bに接続され、カレントトランス9の一次巻線9aを流れる入力電流 I_{9a} の大きさを測定し、測定結果を所定の閾値と比較する。具体的には、次のように遅延回路8は入力電流 I_{9a} の大きさを所定の閾値と比較する。入力電流 I_{9a} は後述するように変化するので、カレントトランス9の二次巻線9bを流れる電流も同様に変化する。遅延回路8はカレントトランス9の二次巻線9bを流れる電流を、例えばローパスフィルタにより平滑する。それにより得ら

れたほぼ一定な電流の時間平均的な大きさが、例えばコンパレータにより所定の閾値と比較される。比較の結果、カレントトランジスト9の二次巻線9bを流れる電流の時間平均的大きさがその閾値より実質的に小さい場合、遅延回路8はスイッチング制御回路7からのスイッチング信号G1及びG3を後述の遅延時間だけ保持した後、第一スイッチ素子11S及び第三スイッチ素子13Sへ出力する。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0053

【補正方法】変更

【補正内容】

【0053】各スイッチ素子がオンからオフ又はオフからオンへと切り替わる過渡期間、すなわち、T1～T2、T3～T4、T5～T6、及び、T7～T8をデッドタイムという。デッドタイムの長さは、各スイッチ素子が安定にオン又はオフしている期間であるT0～T1、T2～T3、T4～T5、及び、T6～T7の時間に比べて一般に十分短い。実施例1では、各スイッチ素子が安定にオン又はオフしている期間が数 μ sec程度であるのに対して、デッドタイムが数十～数百nsec程度である。そこで、デッドタイムを無視する近似を行うと、以下のようにして入力電圧Vinと出力電圧Voutとの関係が求まる。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0060

【補正方法】変更

【補正内容】

【0060】〔軽負荷時の動作〕実施例1のスイッチング電源装置は軽負荷時には以下のように動作する。軽負荷時においても重負荷時と同様に、入力電圧Vin及び出力電圧Voutはそれぞれ実質上一定に維持されている。図2は、軽負荷時において実施例1の回路の各部分に生じる電圧又は電流のパルス波形である。図2と図16において同じ符号で表されている電圧又は電流は、それぞれ実施例1の回路における同じ部分のものであるので、その説明は重負荷時のものを援用する。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0091

【補正方法】変更

【補正内容】

【0091】電流検出用抵抗29は第二コンデンサ1C2と第二スイッチ部22のアノード端22bとの接続点T2、及び、第二入力端子1bの間に直列に接続される。電流検出用抵抗29の抵抗値は、その両端での入力電流I29による電圧降下が実質的に零と見なせる程度に十分小さい。入力電流I29の時間平均的大きさは負荷電流の平均的大きさと同様に増減するので、入力電流I29の大きさを測定すれば負荷電流の大きさを知ることができる。そこで、

遅延回路28は、電流検出用抵抗29の両端に接続され、その電圧を測定し、測定された電圧の時間平均値を所定の閾値と比較する。それにより、電流検出用抵抗29を流れる入力電流I29の大きさを所定の閾値と比較する。この閾値は、負荷電流の実質的な大きさが後述の閾値Ithに一致する時の入力電流I29の時間平均値に実質的に等しく設定される。この閾値との比較の結果、測定された入力電流I29の時間平均値がその閾値より実質的に低下した場合、遅延回路28はスイッチング制御回路7からのスイッチング信号G1及びG2を後述の遅延時間だけ保持した後、第一スイッチ素子21S及び第二スイッチ素子22Sへ出力する。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0102

【補正方法】変更

【補正内容】

【0102】実施例2のデッドタイム、すなわち、期間T1～T2、T3～T4、T5～T6、及び、T7～T8の時間は、各スイッチ素子が安定にオン又はオフしている期間T0～T1、T2～T3、T4～T5、及び、T6～T7の時間に比べて一般に十分短い。実施例2では、各スイッチ素子が安定にオン又はオフしている期間が数 μ sec程度であるのに対して、デッドタイムが数十～数百nsec程度である。そこで、デッドタイムを無視する近似を行うと、以下のようにして入力電圧Vinと出力電圧Voutとの関係が求まる。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0103

【補正方法】変更

【補正内容】

【0103】第二スイッチ素子22Sのオン期間T0～T1の時間と、第一スイッチ素子21Sのオン期間T4～T5の時間とがいずれもTonであるとする。上記のように平滑用インダクタ5に印加される電圧は、オン期間T0～T1では($Vc/n - Vout$)、オン期間T4～T5では($(V_{in} - Vc)/n - Vout$)である。従って、平滑用インダクタ5に蓄えられる磁束がオン期間T0～T1及びT4～T5に合わせて($V_{in}/n - 2Vout$) \times Tonだけ増加する。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0104

【補正方法】変更

【補正内容】

【0104】一方、第二スイッチ素子22Sのオフから第一スイッチ素子21Sのオンまでの期間T1～T4の時間と、第一スイッチ素子21Sのオフから第二スイッチ素子22Sのオンまでの期間T5～T8の時間とがいずれもToffであるとする。それぞれの期間では上記のように平滑用インダクタ5に電圧($-Vout$)が印加されるので、平滑用インダク

タ5に蓄えられる磁束が期間T1～T4及びT5～T8に合わせて $2V_{out} \times T_{off}$ だけ減少する。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0105

【補正方法】変更

【補正内容】

【0105】従って、平滑用インダクタ5の磁束の増加分と減少分とが釣り合うための条件、すなわち、平滑用インダクタ5のリセット条件が実施例1の式(1)で出力電圧 V_{out} を $2V_{out}$ に置き換えたもので表される。従って、出力電圧 V_{out} は入力電圧 V_{in} と実施例1の式(2)で入力電圧 V_{in} を $V_{in}/2$ で置き換えた関係を満たす。つまり、実施例2では、第一スイッチ素子21Sと第二スイッチ素子22Sとのオン・オフの時比率 δ を制御することにより、出力電圧 V_{out} が実質上一定値に安定に維持される。更に、スイッチ素子21S、22S、23S、及び、24Sはいずれも上記のようにZVSによりオンするので、スイッチング損失が小さい。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0108

【補正方法】変更

【補正内容】

【0108】【軽負荷時の動作】図9は、軽負荷時において実施例2の回路の各部分に生じる電圧又は電流のパルス波形である。図8と図9において同じ符号で表されている電圧又は電流は、それぞれ実施例2の回路における同じ部分のものであるので、その説明は重負荷時のものを援用する。図8に示されている重負荷時と比べ、図9に示されている軽負荷時では平滑用インダクタ5に流れる電流I5の大きさ、従って、トランジスト3の一次巻線3aに流れる電流I3の大きさ、及び、電流検出用抵抗29を流れる入力電流I29の大きさがいずれも小さい。

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0121

【補正方法】変更

【補正内容】

【0121】【(C) (B)の軽負荷時より負荷電流が更に小さい時の期間T3～T4の動作】実施例1の(C)に対応する軽負荷時、時刻T3近傍においてトランジスト3の一次巻線3aに印加される電圧V3、及び、一次巻線3aを流れる電流I3のパルス波形を拡大すると、図5(a)と実質的に同じである。実施例1同様、(B)の軽負荷時より負荷電流の時間平均的大きさが更に小さくなると、第一寄生コンデンサ21Cの両端の電圧 V_{21} が0となる時刻T31が遅くなる一方、期間T3～T4bの時間が一次巻線3aの漏れインダクタンスL1だけによる共振の周期の実質上1/4程度に止まるようになる。それ故、負荷電流の時間平均的大きさが十

分小さくなると、図5(a)に示されているように、一次巻線3aの自己インダクタンスLによる共振時間（期間T4b～T31）は、漏れインダクタンスL1だけによる共振時間（期間T3～T4b）を十分無視できる程長くなる。この程度の軽負荷時では、期間T3～T4の時間、すなわち、デッドタイムを一次巻線3aの自己インダクタンスLで決まる共振周期の1/4に設定すれば、ZVS条件が満たされ得る。

【手続補正11】

【補正対象書類名】明細書

【補正対象項目名】0130

【補正方法】変更

【補正内容】

【0130】出力電流検出用抵抗39は、第一の二次巻線3bと第二の二次巻線3cとの接続点R、及び、平滑用コンデンサ6の第二出力端子2bへ接続された方の端、との間に直列に接続されている。出力電流検出用抵抗39の抵抗値は、その両端での電流I5による電圧降下が実質的に零と見なせる程度に十分小さい。遅延回路38は、出力電流検出用抵抗39の両端と接続され、それを流れる電流I5による電圧降下量を測定して所定の閾値と比較する。それにより、出力電流検出用抵抗39を流れる電流I5の大きさを所定の閾値と比較する。比較の結果、電流I5の大きさがその閾値より実質的に小さい場合、遅延回路38はスイッチング制御回路7からのスイッチング信号G1及びG2を実施例2と同様に設定された遅延時間だけ保持した後、第一スイッチ素子21S及び第二スイッチ素子22Sへ出力する。

【手続補正12】

【補正対象書類名】明細書

【補正対象項目名】0141

【補正方法】変更

【補正内容】

【0141】時刻T2以後しばらくは、第三ダイオード43D又は第三スイッチ素子43S、及び、既にオンしている第4スイッチ素子44Sを通して、一次巻線3a1及び3a2が短絡される。この時、一次巻線3a1及び3a2に印加される電圧 V_{3a1} 及び V_{3a2} がいずれも実質的に0であるので、平滑用インダクタ5には実質上定電圧($-V_{out}$)だけが印加される。従って、平滑用インダクタ5を流れる電流I5は直線的に減少し、その結果、一次巻線3a1及び3a2を流れる電流 I_{3a1} 及び I_{3a2} に含まれる一次側換算電流が電流I5同様に直線的に減少する。一方、一次巻線3a1及び3a2に印加される電圧 V_{3a1} 及び V_{3a2} が実質的に0であるので、一次巻線3a1及び3a2を流れる電流 I_{3a1} 及び I_{3a2} に含まれる励磁電流が実質的に一定に維持される。以上の結果、一次巻線3a1及び3a2を流れる電流 I_{3a1} 及び I_{3a2} の大きさは直線的に減少する。

【手続補正13】

【補正対象書類名】明細書

【補正対象項目名】 0147

【補正方法】 変更

【補正内容】

【0147】 第二スイッチ素子42Sがオンすると第二の一次巻線3a2に電圧Vinが印加される。すると、電流I3a2の向きが急激に反転する。一方、第一の一次巻線3a1に発生する起電力が実質的にVinである。その結果、第一の一次巻線3a1に流れる電流I3a1が急激に0になる。こうして、時刻T0の時の状態が再現され、以上述べたような動作が繰り返される。

【手続補正14】

【補正対象書類名】 明細書

【補正対象項目名】 0148

【補正方法】 変更

【補正内容】

【0148】 実施例4のデッドタイム、すなわち、期間T1～T2、T3～T4、T5～T6、及び、T7～T8の時間は、各スイッチ素子が安定にオン又はオフしている期間T0～T1、T2～T3、T4～T5、及び、T6～T7の時間に比べて一般に十分短い。実施例4では、各スイッチ素子が安定にオン又はオフしている期間が数 μ sec程度であるのに対して、デッドタイムが数十～数百nsec程度である。そこで、デッドタイムを無視する近似を行うと、実施例1と全く同様にして、入力電圧Vinと出力電圧Voutとの関係が実施例1の式(2)のように求まる。つまり、実施例4では、第一スイッチ素子41Sと第二スイッチ素子42Sとのオン・オフの時比率 δ を制御することにより、出力電圧Voutが実質上一定値に安定に維持される。更に、スイッチ素子41S、42S、43S、及び、44Sはいずれも上記のようにZVSによりオンするので、スイッチング損失が小さい。

【手続補正15】

【補正対象書類名】 明細書

【補正対象項目名】 0152

【補正方法】 変更

【補正内容】

【0152】 時刻T3直前では第三スイッチ部43及び第四スイッチ部44が導通していて一次巻線3a1及び3a2を短絡している。つまり、一次巻線3a1及び3a2に印加される電圧V3a1及びV3a2はいずれも実質的に0であるので、二次巻線3b及び3cには一次側からの起電力が実質的に発生していない。この時、第一の二次側電流I3bが二次巻線3bを第一整流用ダイオード4bの順方向に流れていると同時に、第二の二次側電流I3cが二次巻線3cを第二整流用ダイオード4cの順方向に流れている。この状態では、実施例1の説明の中で述べたように、一次側の動作に対しては一次巻線3a1及び3a2の漏れインダクタンスに蓄えられた磁気エネルギーだけが寄与する。

【手続補正16】

【補正対象書類名】 明細書

【補正対象項目名】 0158

【補正方法】 変更

【補正内容】

【0158】 [(B)] 軽負荷時における期間T3～T4の動作】 実施例1の(B)に対応する軽負荷時、時刻T3近傍において一次巻線3a1に印加される電圧V3a1、及び、一次巻線3a1を流れる電流I3a1のパルス波形を拡大すると、電流の極性が逆であることを除き、実施例1の図4(a)と実質的に同様である。実施例1の(B)に対応する軽負荷時では、第一スイッチ素子41Sの両端の電圧V41が0に達する時刻T31の前に、第一整流用ダイオード4bがオフする時刻T4bへ達する。

【手続補正17】

【補正対象書類名】 明細書

【補正対象項目名】 0163

【補正方法】 変更

【補正内容】

【0163】 実施例1同様、(B)の軽負荷時より負荷電流の時間平均的大きさが更に小さくなってくると、第一寄生コンデンサ41Cの両端の電圧V41が0となる時刻T31は遅くなる一方、期間T3～T4bの時間が第一の一次巻線3a1の漏れインダクタンスL1だけによる共振の周期の実質上1/4程度に止まるようになる。従って、負荷電流の時間平均的大きさが十分小さくなると、図5(a)に示されているように、第一の一次巻線3a1の自己インダクタンスL1による共振時間(期間T4b～T31)は、漏れインダクタンスL1だけによる共振時間(期間T3～T4b)を十分無視できる程長くなる。この程度の軽負荷時では、期間T3～T4の時間、すなわち、デッドタイムを第一の一次巻線3a1の自己インダクタンスL1で決まる共振周期の1/4に設定すれば、ZVS条件が満たされ得る。

【手続補正18】

【補正対象書類名】 明細書

【補正対象項目名】 0170

【補正方法】 変更

【補正内容】

【0170】 実施例5ではトランジスタ3が補助巻線3tを有する。補助巻線3tと一次巻線3a1及び3a2との巻数比は1:2である。補助巻線3tに印加される電圧Vtは第一の一次巻線3a1に印加される電圧V3a1の2倍と実質的に等しい。実施例4とは異なり、第三スイッチ部53及び第四スイッチ部54が補助巻線3tへ並列に接続される。第三スイッチ部53及び第四スイッチ部54は、第一スイッチ部41及び第二スイッチ部42と同様、並列に接続されたスイッチ素子、ダイオード及びコンデンサを含む。スイッチ素子53S及び54Sは、好ましくは、MOSFETから成る。その他、バイポーラトランジスタ又はIGBTであっても良い。スイッチ素子53S及び54Sは直列に接続される。第三スイッチ素子53Sと第四スイッチ素子54Sとの接続点R5が第二入力端子1bへ接続される。

【手続補正19】

【補正対象書類名】明細書

【補正対象項目名】0175

【補正方法】変更

【補正内容】

【0175】《実施例6》図17は実施例6の回路を示す図である。実施例6の構成は実施例1(図1)と比べて、カレントトランジスト9の一次巻線9aを、第一のスイッチ部1と第二のスイッチ部12との接続点P1、及び、第二スイッチ部12のカソード端12aの間に直列に接続している点を除き、全く同じである。このようにカレントトランジスト9の接続位置を変えても、実施例6の動作は実施例1と全く同様である。つまり、重負荷時には図16により、軽負荷時には図2によりそれぞれ示される電流及び電圧が、実施例6の各部に発生する。遅延回路8は、実施例*

* 1では入力電流I9を測定するのに対し、実施例6では第二スイッチ部12を流れる電流I12を測定する。図16及び図2に示されているように、電流I12と電流I9とを比べると、電流I9は実質的に一方向にしか流れないのでに対して、電流I12は向きを周期的に反転させる。従って実施例6では、カレントトランジスト9の二次巻線9bからの出力を整流した後にその時間平均的大きさを測定する。

【手続補正20】

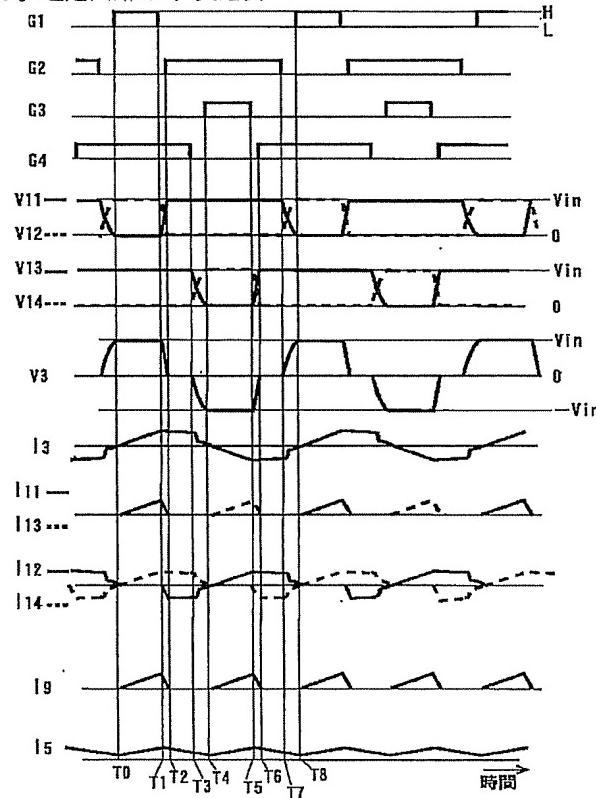
【補正対象書類名】図面

【補正対象項目名】図2

【補正方法】変更

【補正内容】

【図2】



【手続補正21】

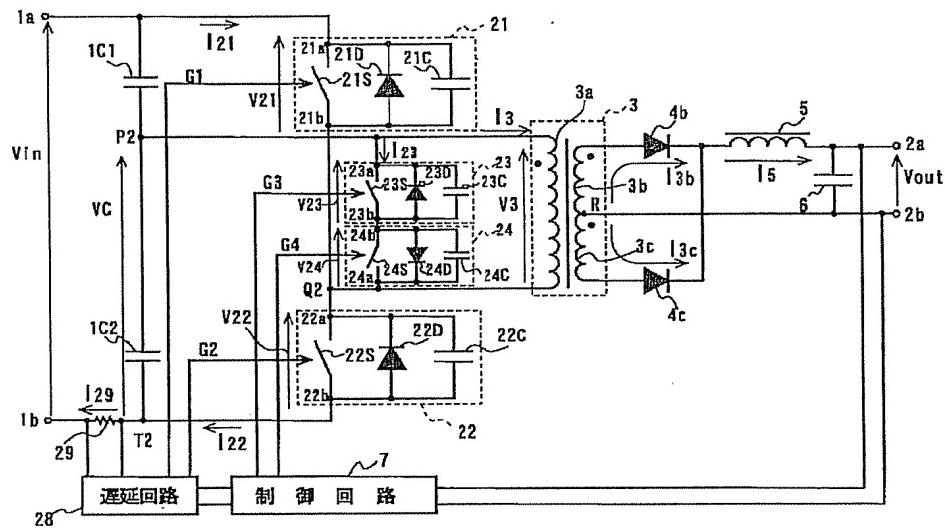
【補正対象書類名】図面

【補正対象項目名】図7

【補正方法】変更

【補正内容】

【図7】



【手続補正22】

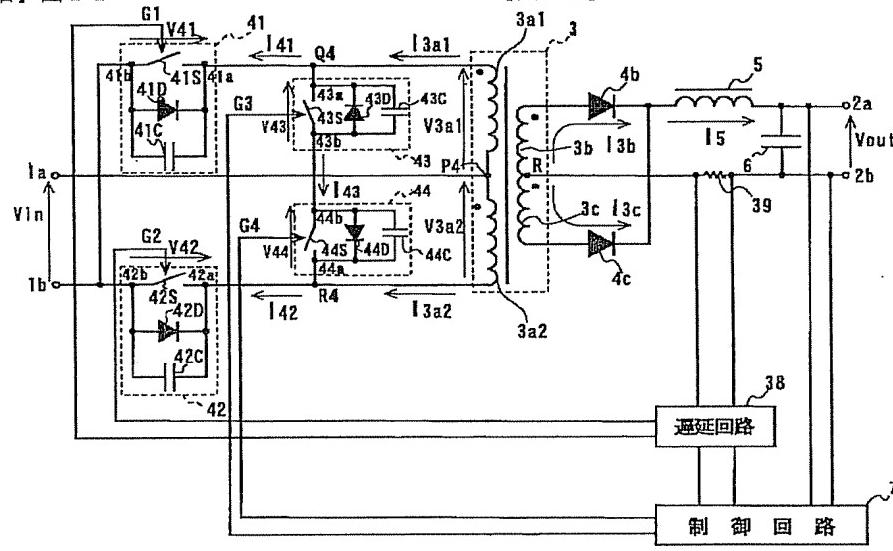
【補正対象書類名】図面

【補正対象項目名】図11

* 【補正方法】変更

【補正內容】

* [図11]



【手続補正 2 3】

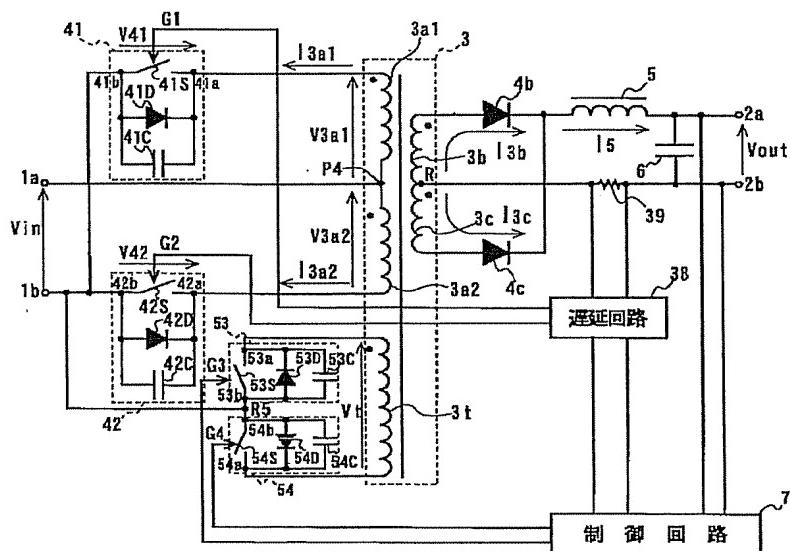
【補正対象書類名】 図面

【補正対象項目名】図14

【補正方法】変更
請求書

【補正內容】

【図14】



【手続補正24】

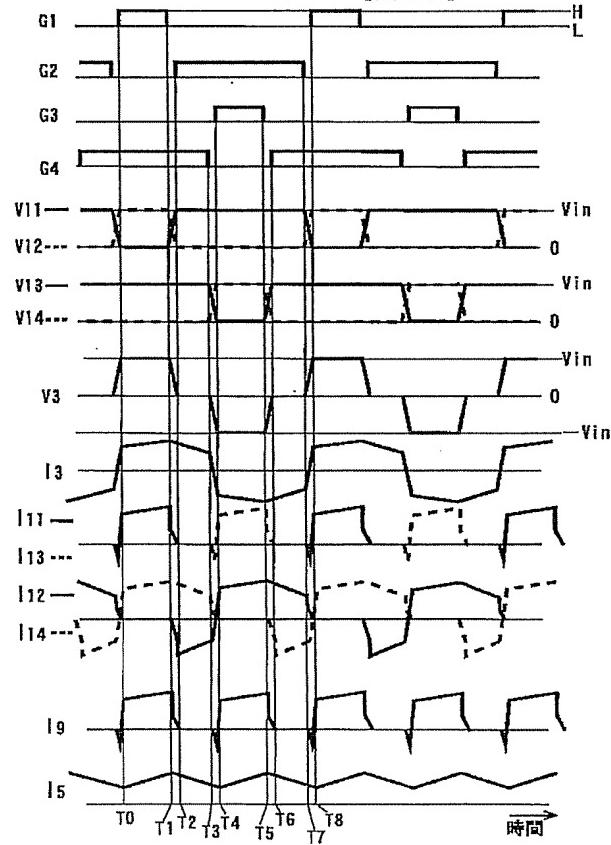
【補正対象書類名】図面

【補正対象項目名】図16

* 【補正方法】変更

【補正内容】

* 【図16】



【手続補正25】

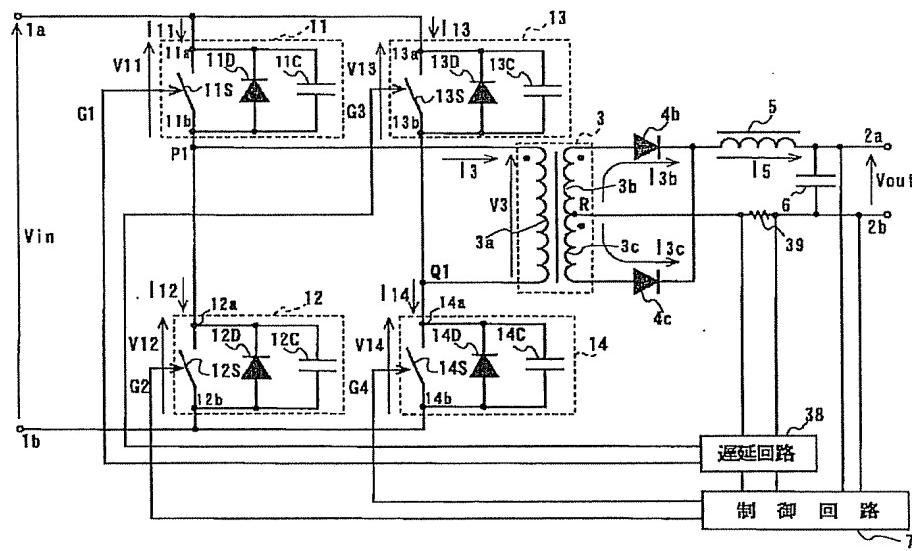
【補正対象書類名】図面

【補正対象項目名】図19

【補正方法】変更

【補正内容】

【図19】



【手続補正26】

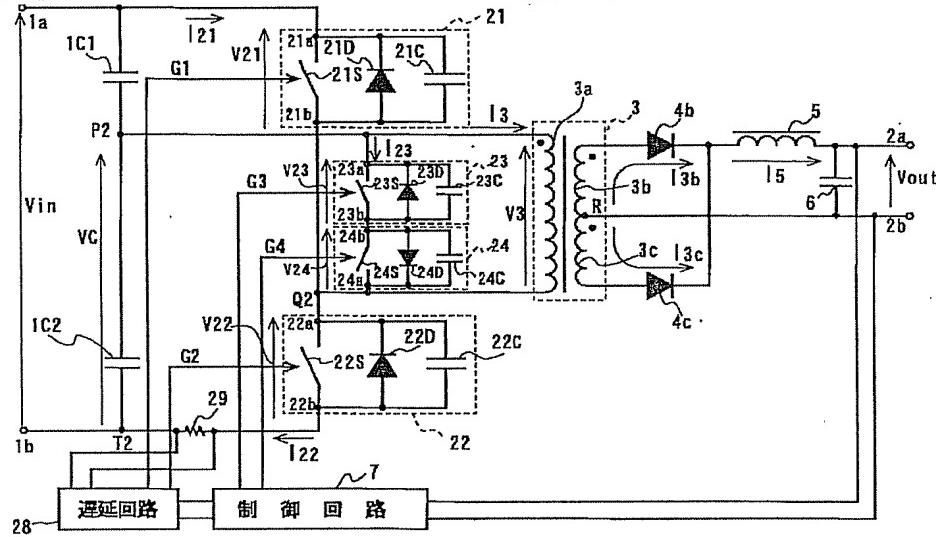
【補正対象書類名】図面

【補正対象項目名】図20

* 【補正方法】変更

【補正内容】

* 【図20】



【手続補正27】

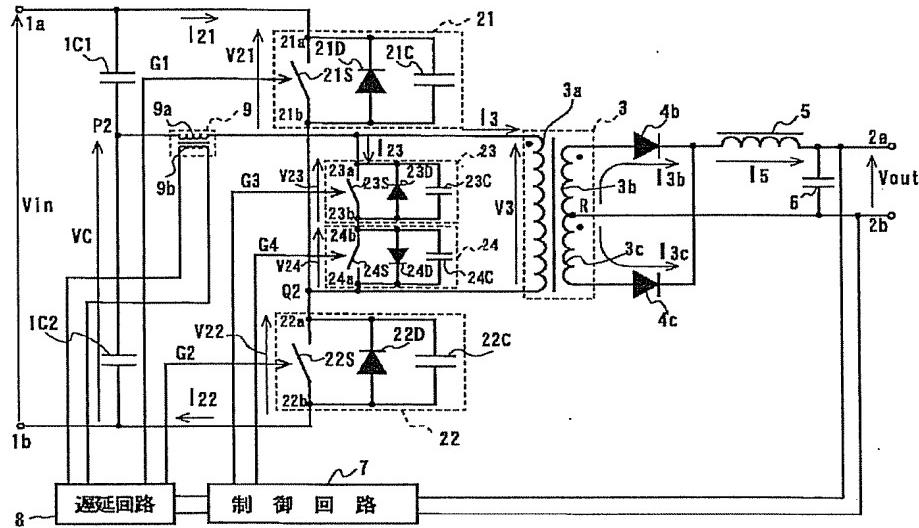
【補正対象書類名】図面

【補正対象項目名】図21

【補正方法】変更

【補正内容】

【図21】



【手続補正28】

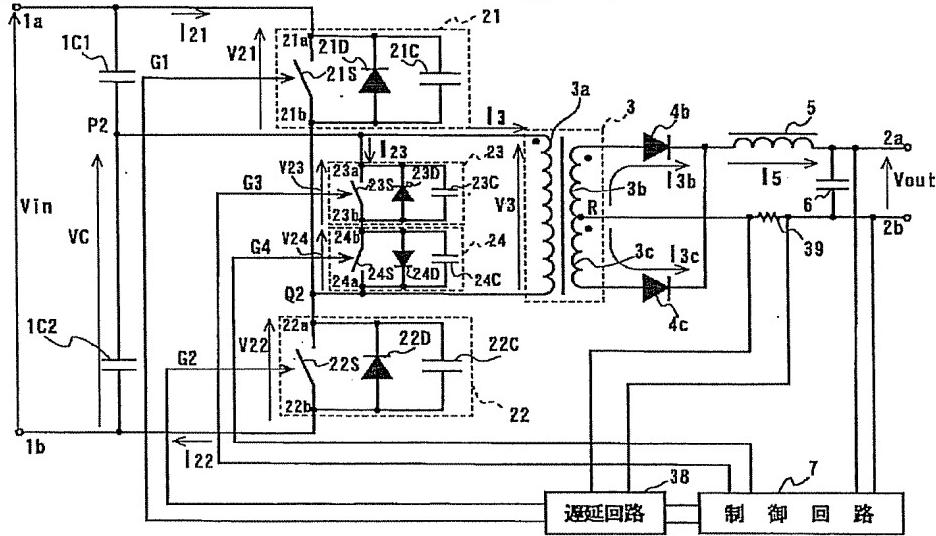
【補正対象書類名】 図面

【補正対象項目名】図22

* 【補正方法】変更

【補正內容】

* [図22]



【手続補正 29】

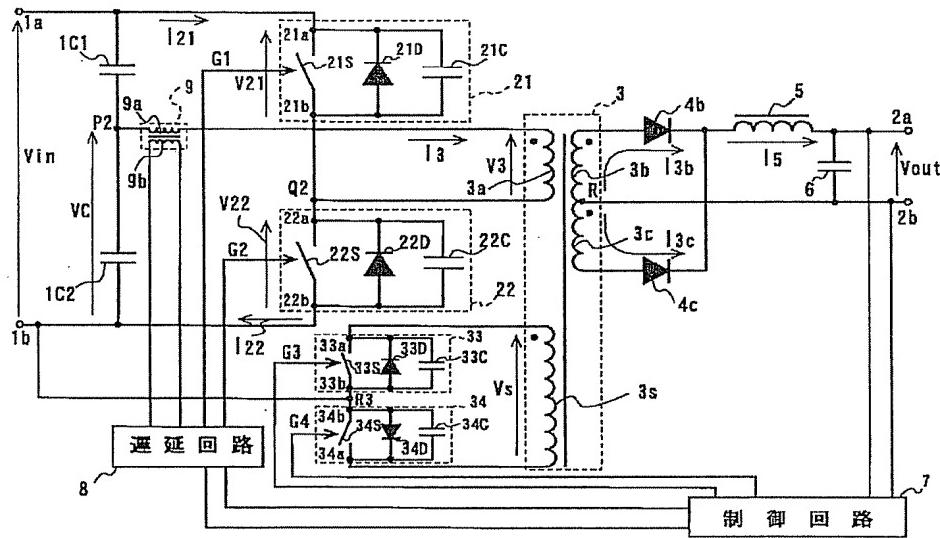
【補正対象書類名】 図面

【補正対象項目名】図25

【補正方法】 変更

【補正内容】

【図25】



【手続補正30】

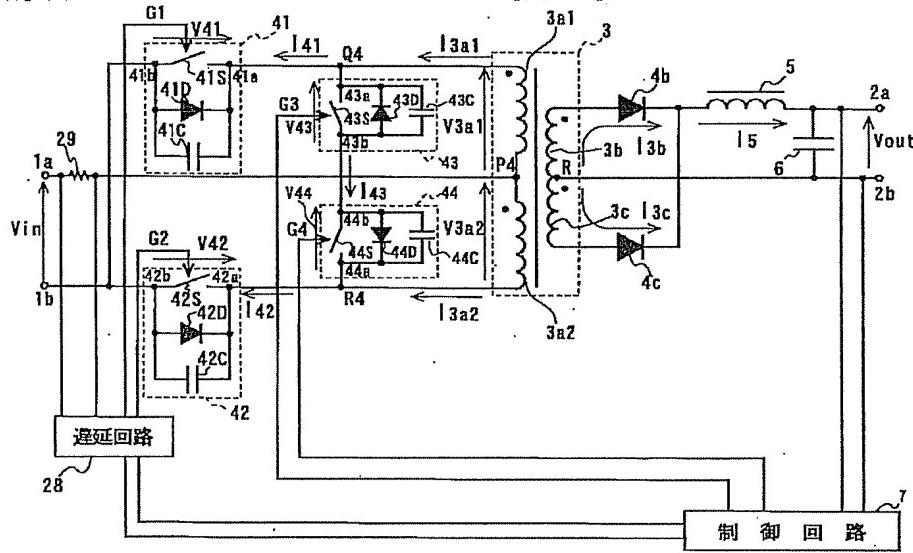
【補正対象書類名】図面

【補正対象項目名】図26

* 【補正方法】変更

【補正内容】

水 【図26】



【手続補正31】

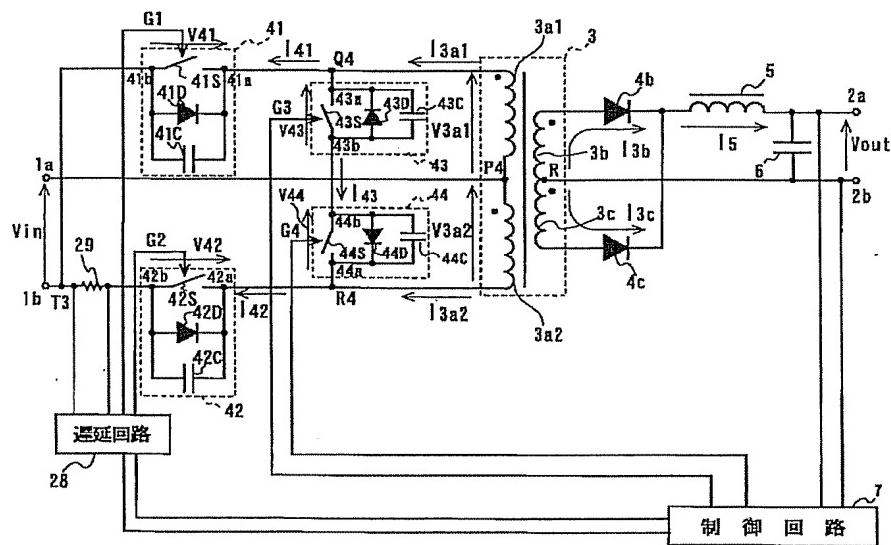
【補正対象書類名】図面

【補正対象項目名】図27

【補正方法】変更

【補正内容】

【図27】



【手続補正32】

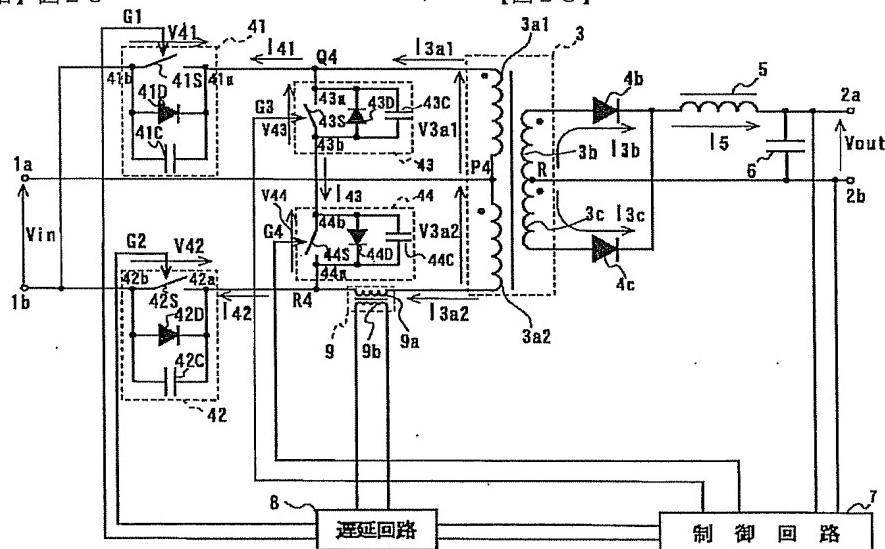
【補正対象書類名】図面

【補正対象項目名】図28

* 【補正方法】変更

【補正内容】

* 【図28】



【手続補正33】

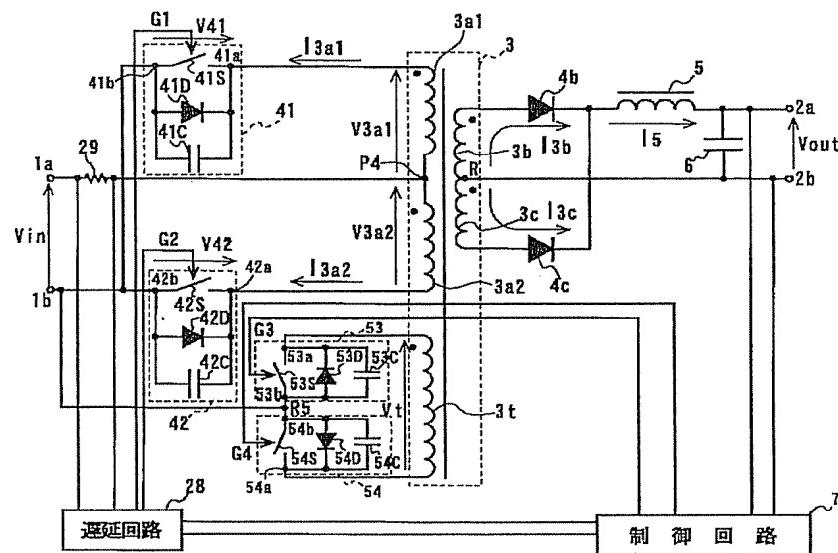
【補正対象書類名】図面

【補正対象項目名】図29

【補正方法】変更

【補正内容】

【図29】



【手続補正34】

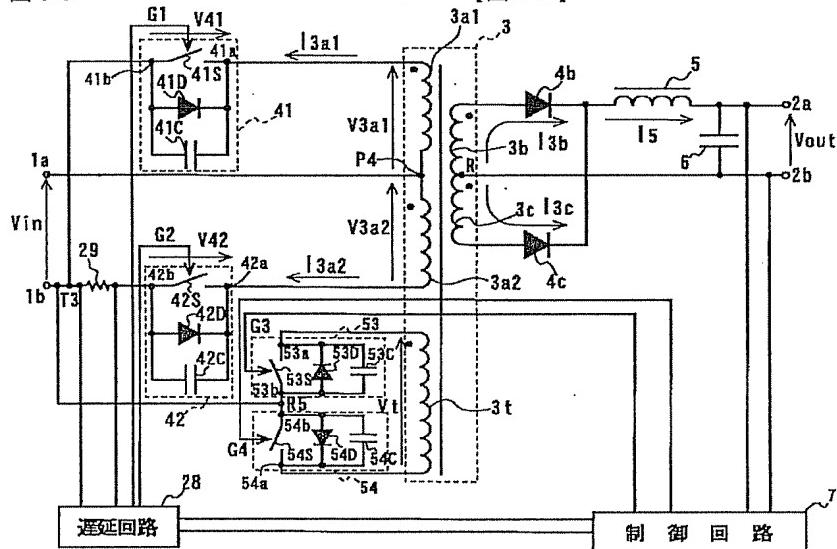
【補正対象書類名】図面

【補正対象項目名】図30

* 【補正方法】変更

【補正内容】

* 【図30】



フロントページの続き

Fターム(参考) 5H730 AA01 AA10 AA14 AA20 AS01
AS23 BB25 BB26 BB27 BB57
BB66 BB98 DD02 DD04 DD41
EE03 EE08 EE72 FD01 FD31
FD41 FG05 FG07 FG22